

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-055498
(43)Date of publication of application : 25.02.1997

(51)Int.Cl. H01L 29/78

(21)Application number : 07-192891
(22)Date of filing : 28.07.1995

(71)Applicant : FUJI ELECTRIC CO LTD
(72)Inventor : FUJIHIRA TATSUHIKO
YANO YUKIO
OHIGATA SHIGEYUKI
KUMAGAI NAOKI

(30)Priority

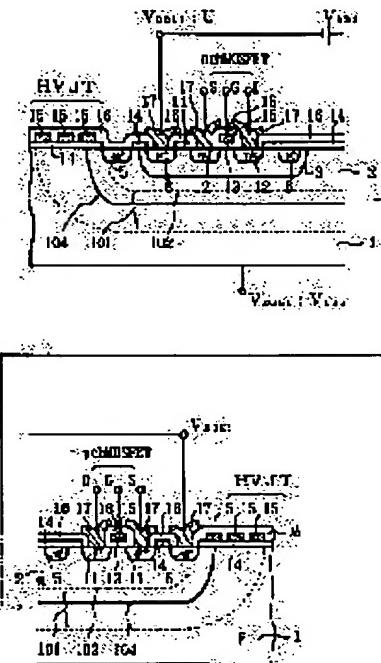
JP

(54) HIGH-VOLTAGE RESISTANT IC, HIGH-VOLTAGE RESISTANT JUNCTION TERMINAL STRUCTURE USED FOR THE IC AND HIGH-VOLTAGE MIS TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an IC which is high in withstand voltage and low in manufacturing cost by a method wherein a second region is so provided as not to make the tip of a depletion layer formed in the second region feach to a third region when a reverse bias voltage is applied to a first PN junction located between the first region and the second region, and the second region serves as a high-voltage junction terminal structure.

SOLUTION: Even when a first PN junction 104 located between a first region 1 and a second region 2 is reversely biased at a high voltage, the end 102 of a depletion layer 101 which expands on both the ends of the first PN junction 104 is set so as not to reach to a third region 3 but stay inside the second region 2. To meet this requirement, it is effective that the second region 2 sandwiched in between the first region 1 and the third region 3 is set more than $1 \times 10^{12} \text{ cmu-2}$ but less than $3 \times 10^{13} \text{ cmu-2}$ in net dose of dopant. By this setup, the second region 2 is electrically insulated from the first region at a low cost. An IC of this junction structure can be ensured of high withstand voltage.



LEGAL STATUS

[Date of request for examination] 25.12.1998

[Date of sending the examiner's decision of rejection] 07.01.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

特開平9-55498

(43)公開日 平成9年(1997)2月25日

(51) Int. Cl. 6

H01L 29/78

識別記号

9055-4M
9055-4M

F I

H01L 29/78

301 J
652 P
656 D

審査請求 未請求 請求項の数52 O L (全30頁)

(21)出願番号 特願平7-192891

(22)出願日 平成7年(1995)7月28日

(31)優先権主張番号 特願平7-86601

(32)優先日 平7(1995)4月12日

(33)優先権主張国 日本 (JP)

(31)優先権主張番号 特願平7-141469

(32)優先日 平7(1995)6月8日

(33)優先権主張国 日本 (JP)

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 藤平 龍彦

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72)発明者 矢野 幸雄

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72)発明者 大日方 重行

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74)代理人 弁理士 山口 巍

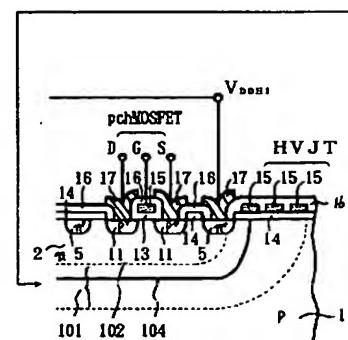
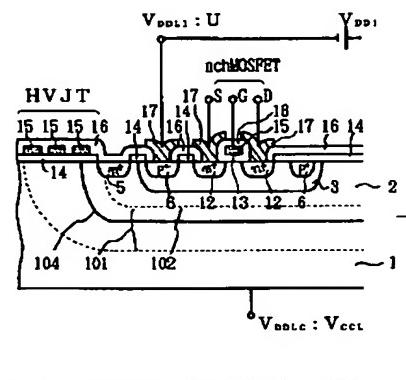
最終頁に統く

(54)【発明の名称】高耐圧ICおよびそれに用いる高耐圧接合終端構造と高耐圧MISトランジスタ

(57)【要約】

【課題】絶縁分離および高耐圧接合終端構造の低コスト化により、高性能な高耐圧ICの低コスト化を実現する。

【解決手段】p形半導体基板からなる第一領域1と、その表面層に選択的にn形の第二領域2と、第二領域2の表面層に選択的にp形の第三領域3と、第二領域2の表面層に選択的に形成したn形の第五領域5と、第三領域3の表面層に選択的に形成したp形の第六領域6と、第二領域2の表面層に形成されたpチャネルMOSFETと、第三領域3の表面層に形成されたnチャネルMOSFETと、第一領域1を囲んで設けられた高耐圧接合終端構造HVJTとで構成される。



【特許請求の範囲】

【請求項 1】 第一導電形の第一領域と、第一領域の第一主面の表面層に選択的に形成された第二導電形の第二領域と、第二領域の表面層に選択的に形成された第一導電形の第三領域と、第三領域と離れて第二領域の表面層に選択的に形成された第一導電形の第一ソース領域および第一ドレイン領域と、第一ソース領域および第一ドレイン領域に挟まれた第二領域の表面上に絶縁膜を介して形成された第一ゲート電極と、第三領域の表面層に選択的に形成された第二導電形の第二ソース領域および第二ドレイン領域と、第二ソース領域および第二ドレイン領域に挟まれた第三領域の表面上に絶縁膜を介して形成された第二ゲート電極とを具備することを特徴とする高耐圧 I C。

【請求項 2】 第一領域と第二領域との間の第一の p n 接合に逆バイアス電圧を印加した場合に、第二領域内に形成される空乏層の先端が第三領域に達しないように第二領域を形成することを特徴とする請求項 1 記載の高耐圧 I C。

【請求項 3】 第一領域と第三領域に挟まれた第二領域の正味のドーピング量（第二導電形不純物のドーピング量から第一導電形不純物のドーピング量を差し引いたドーピング量）が $1 \times 10^{12} \text{ cm}^{-2}$ 以上、 $3 \times 10^{13} \text{ cm}^{-2}$ 以下であることを特徴とする請求項 1 記載の高耐圧 I C。

【請求項 4】 第二領域の外周を取り囲んで（ループ状に）形成された高耐圧接合終端構造を有することを特徴とする請求項 1 記載の高耐圧 I C。

【請求項 5】 第二領域で取り囲まれ、第二領域とは離れて、第一領域の表面層に形成された第二導電形の第四領域を有することを特徴とする請求項 4 記載の高耐圧 I C。

【請求項 6】 第二領域と第四領域に挟まれた第一領域の表面上に絶縁膜を介して第二領域と第四領域とに跨がる第一導電膜が設けられることを特徴とする請求項 5 記載の高耐圧 I C。

【請求項 7】 第二領域もしくは第四領域のいずれかに電気的に接続された導電膜を有することを特徴とする請求項 6 記載の高耐圧 I C。

【請求項 8】 第一導電形が p 形の場合、第一導電膜が第二領域と第四領域のうち低電位側の領域に接続され、第一導電形が n 形の場合、第一導電膜が高電位側の領域に接続されることを特徴とする請求項 7 記載の高耐圧 I C。

【請求項 9】 第一導電形が n 形であることを特徴とする請求項 1 記載の高耐圧 I C。

【請求項 10】 n チャネルの縦型パワーデバイスのコレクタ電極（IGBTなどの場合）もしくはドレイン電極（MOSFETなどの場合）が固着される金属板上に、第一領域の第二主面が固着されることを特徴とする請求

項 9 記載の高耐圧 I C。

【請求項 11】 第一導電形が p 形であることを特徴とする請求項 1 記載の高耐圧 I C。

【請求項 12】 n チャネルの縦型パワーデバイスのエミッタ電極（IGBTなどの場合）もしくはソース電極（MOSFETなどの場合）上に、第一領域の第二主面が固着されることを特徴とする請求項 11 記載の高耐圧 I C。

【請求項 13】 n チャネルの縦型パワーデバイスと同一半導体基板に集積され、かつ、第一領域が n チャネルの縦型パワーデバイスの低濃度 n 形層（n 形ドリフト層もしくは低濃度 n 形ドレイン層など）と共に形成されることを特徴とする請求項 9 記載の高耐圧 I C。

【請求項 14】 第二領域と n チャネルの縦型パワーデバイスの p ベース領域とを取り囲む高耐圧接合終端構造を有することを特徴とする請求項 13 記載の高耐圧 I C。

【請求項 15】 第二領域が n チャネルの縦型パワーデバイスの p ベース領域で取り囲まれることを特徴とする請求項 14 記載の高耐圧 I C。

【請求項 16】 第一領域の第一主面の表面層に選択的に不純物原子をイオン注入し、該不純物原子の熱拡散による第二領域が形成されることを特徴とする請求項 1 記載の高耐圧 I C。

【請求項 17】 第二領域の表面層に選択的に不純物原子をイオン注入し、該不純物原子の熱拡散による第三領域が形成されることを特徴とする請求項 16 記載の高耐圧 I C。

【請求項 18】 第三領域に隣接する第二領域の表面層に、第二領域より高濃度の第二導電形の第五領域が選択的に形成されることを特徴とする請求項 1 記載の高耐圧 I C。

【請求項 19】 第一領域に隣接する第二領域の表面層に、第二領域より高濃度の第二導電形の第五領域が選択的に形成されることを特徴とする請求項 18 記載の高耐圧 I C。

【請求項 20】 第三領域をほぼ取り囲むように第五領域が形成されたことを特徴とする請求項 18 記載の高耐圧 I C。

【請求項 21】 第二領域の表面層に形成された第一ソース領域および第一ドレイン領域と、第一ソース領域および第一ドレイン領域に挟まれた第二領域の表面上に絶縁膜を介して形成された第一ゲート電極とからなるMOSFETが形成される活性領域を有する第二領域において、該活性領域を除く第二領域の表面層の大部分に第五領域が設けられることを特徴とする請求項 18 記載の高耐圧 I C。

【請求項 22】 第二領域と隣接する第三領域の表面層に、第三領域より高濃度の第一導電形の第六領域が選択的に形成されることを特徴とする請求項 18 記載の高耐圧 I C。

【請求項 23】第一領域と、第一領域の第一主面の表面層に選択的に形成された第二導電形の第八領域と、第八領域の表面層に選択的に形成された第一導電形の第九領域とで構成される三層構造を有し、第一領域と第八領域との間の第二のpn接合と、第八領域と第九領域との間の第三のpn接合とがともに逆バイアスされたときに、第二のpn接合の両側に拡がる第二の空乏層と、第三のpn接合の両側に拡がる第三の空乏層とが第八領域内で結合するように第八領域が形成され、かつ第三の空乏層が第九領域の表面まで達するように第九領域が形成されることを特徴とする高耐圧接合終端構造。

【請求項 24】第九領域下で、第一領域と第九領域とに挟まれた第八領域部分の正味のドーピング量が $1 \times 10^{11} \text{ cm}^{-2}$ 以上、 $4 \times 10^{12} \text{ cm}^{-2}$ 以下であり、かつ第九領域の正味のドーピング量が $1 \times 10^{11} \text{ cm}^{-2}$ 以上、 $2 \times 10^{12} \text{ cm}^{-2}$ 以下である請求項 23 記載の高耐圧接合終端構造。

【請求項 25】第九領域上の絶縁膜と、該絶縁膜上へ延在し第八領域と電気的に接続される第二導電膜と、前記絶縁膜上へ延在し第九領域と電気的に接続される第三導電膜と、第二導電膜および第三導電膜とに接触し第二導電膜および第三導電膜との間の前記絶縁膜を覆う高抵抗膜とを、備えたことを特徴とする請求項 24 記載の高耐圧接合終端構造。

【請求項 26】第一領域の第一主面の表面層に選択的に不純物原子をイオン注入し、該不純物原子を熱拡散することで第八領域が形成されることを特徴とする請求項 24 の高耐圧接合終端構造。

【請求項 27】第八領域の表面層に選択的に不純物原子をイオン注入し、該不純物原子の熱拡散により第九領域が形成されることを特徴とする請求項 26 の高耐圧接合終端構造。

【請求項 28】請求項 24 の高耐圧接合終端構造を備え、高耐圧接合終端構造を挟んで、一方の側に第八領域と電気的に接続された第一のドレイン電極を備え、他方の側に第九領域と接して形成された第一導電形のベース領域と、ベース領域の表面層に選択的に形成された第二導電形のソース領域と、第八領域と第二導電形のソース領域とに挟まれたベース領域表面層の第二導電形チャネル領域と、少なくとも第二導電形チャネル上に形成された第一のゲート絶縁膜および第一のゲート絶縁膜上に形成された第三のゲート電極と、少なくとも前記第二導電形のソース領域に電気的に接続された第一のソース電極とを備えたことを特徴とする高耐圧MISトランジスタ。

【請求項 29】請求項 24 の高耐圧接合終端構造を備え、高耐圧接合終端構造を挟んで、一方の側に第八領域表面上に選択的に形成された第一導電形のソース領域と、第九領域と第一導電形のソース領域とに挟まれた第八領域表面の第一導電形チャネル領域と、少なくとも第

一導電形チャネル領域上に形成された第二のゲート絶縁膜および第二のゲート絶縁膜上の第四のゲート電極と、少なくとも前記第一導電形のソース領域と電気的に接続された第二のソース電極とを備え、他方の側に第九領域と電気的に接続された第二のドレイン電極とを備えたことを特徴とする高耐圧MISトランジスタ。

【請求項 30】請求項 24 の高耐圧接合終端構造を備え、高耐圧接合終端構造に囲まれ、第八領域と電気的に接続された第二導電形の第二領域と、第二領域の表面層に選択的に形成された第一導電形の第三領域と、第二領域の表面層に形成された第一導電形チャネルのMISトランジスタと、第三領域の表面層に形成された第二導電形チャネルのMISトランジスタとを有することを特徴とする高耐圧IC。

【請求項 31】第二領域と第八領域が連続して一つの領域を形成し、同一工程による第二領域および第八領域であることを特徴とする請求項 30 記載の高耐圧 IC。

【請求項 32】請求項 28 の第二導電形チャネルの高耐圧MISトランジスタを有することを特徴とする請求項 30 記載の高耐圧 IC。

【請求項 33】請求項 29 の第一導電形チャネルの高耐圧MISトランジスタを有することを特徴とする請求項 30 記載の高耐圧 IC。

【請求項 34】請求項 28 の第二導電形チャネルの高耐圧MISトランジスタを有し、かつ請求項 29 の第一導電形チャネルの高耐圧MISトランジスタとを有することを特徴とする請求項 30 記載の高耐圧 IC。

【請求項 35】請求項 24 の高耐圧接合終端構造の第一領域の第一主面の表面層に選択的に不純物原子をイオン注入し、該不純物原子を熱拡散することで第八領域が形成されることを特徴とする請求項 30 の高耐圧 IC。

【請求項 36】第八領域の表面層に選択的に不純物原子をイオン注入し、該不純物原子の熱拡散による第九領域が形成されることを特徴とする請求項 35 の高耐圧 IC。

【請求項 37】第一領域と第二領域との間の第一のpn接合に印加される逆バイアス電圧により第二領域内へ拡がる第一の空乏層の先端が前記第二領域と第三領域との間の第四のpn接合と前記第一のpn接合との間に位置するように第二領域を形成することを特徴とする請求項 30 記載の高耐圧 IC。

【請求項 38】第三領域下の、第一領域と第三領域とに挟まれた第二領域部分の正味のドーピング量が $1 \times 10^{12} \text{ cm}^{-2}$ 以上、 $3 \times 10^{13} \text{ cm}^{-2}$ 以下であることを特徴とする請求項 37 記載の高耐圧 IC。

【請求項 39】第一領域の第一主面の表面層に選択的に不純物原子をイオン注入し、該不純物原子の熱拡散により第二領域が形成され、第二領域の表面層に選択的に不純物原子をイオン注入し、該不純物原子の熱拡散により第三領域が形成されることを特徴とする請求項 30 の高

耐圧 I C。

【請求項 4 0】第一導電形の第一領域と、第一領域の第一主面の表面層に選択的に形成された第二導電形の第二領域と、第二領域の表面層に選択的に形成された第一導電形の第三領域と、第三領域と離れて第二領域の表面層に選択的に形成された第一導電形の第一ソース領域および第一ドレイン領域と、第一ソース領域および第一ドレイン領域に挟まれた第二領域の表面上に絶縁膜を介して形成された第一ゲート電極とを備える第一導電形チャネルのM I Sトランジスタと、第三領域の表面層に選択的に形成された第二導電形の第二ソース領域および第二ドレイン領域と、第二ソース領域および第二ドレイン領域に挟まれた第三領域の表面上に絶縁膜を介して形成された第二ゲート電極を備えた第二導電形チャネルのM I Sトランジスタと、前記第二領域を取り囲む第一の高耐圧接合終端構造と、ループ状に形成された第二の高耐圧接合終端構造と、該第二の高耐圧接合終端構造のループの内側の第一のドレイン電極とループの外側の第三のゲート電極と第一のソース電極とを備えた第二導電形チャネルの高耐圧M I Sトランジスタとを備え、第一の高耐圧接合終端構造と第二の高耐圧接合終端構造とが同一構造を有することを特徴とする高耐圧 I C。

【請求項 4 1】第二の高耐圧接合終端構造が第一の高耐圧接合終端構造と連結することを特徴とする請求項 4 0 記載の高耐圧 I C。

【請求項 4 2】第一のドレイン電極からの第一の出力配線が第二の高耐圧接合終端構造を横切って第一の高耐圧接合終端構造に取り囲まれる第二領域上に延在していることを特徴とする請求項 4 1 記載の高耐圧 I C。

【請求項 4 3】第一導電形の第一領域と、第一領域の第一主面の表面層に選択的に形成された第二導電形の第二領域と、第二領域の表面層に選択的に形成された第一導電形の第三領域と、第三領域と離れて第二領域の表面層に選択的に形成された第一導電形の第一ソース領域および第一ドレイン領域と、第一ソース領域および第一ドレイン領域に挟まれた第二領域の表面上に絶縁膜を介して形成された第一ゲート電極とを備える第一導電形チャネルのM I Sトランジスタと、第三領域の表面層に選択的に形成された第二導電形の第二ソース領域および第二ドレイン領域と、第二ソース領域および第二ドレイン領域に挟まれた第三領域の表面上に絶縁膜を介して形成された第二ゲート電極を備えた第二導電形チャネルのM I Sトランジスタと、前記第二領域を取り囲む第一の高耐圧接合終端構造と、ループ状に形成された第三の高耐圧接合終端構造と、該第三の高耐圧接合終端構造のループの内側の第二のドレイン電極とループ外側の第四のゲート電極と第二のソース電極とを備えた第一導電形チャネルの高耐圧M I Sトランジスタとを備え、第一の高耐圧接合終端構造と第三の高耐圧接合終端構造とが基本的に同一構造を有することを特徴とする高耐圧 I C。

10 【請求項 4 4】第三の高耐圧接合終端構造が第一の高耐圧接合終端構造と連結することを特徴とする請求項 4 3 記載の高耐圧 I C。

【請求項 4 5】第二のドレイン電極からの第二の出力配線が第三の高耐圧接合終端構造を横切って第一の高耐圧接合終端構造の外側に延在していることを特徴とする請求項 4 4 記載の高耐圧 I C。

【請求項 4 6】第一の高耐圧接合終端構造が、請求項 2 4 の高耐圧接合終端構造であって、第二導電形チャネルの高耐圧M I Sトランジスタが請求項 2 8 の第二導電形チャネルの高耐圧M I Sトランジスタであることを特徴とする請求項 4 0 記載の高耐圧 I C。

【請求項 4 7】第一の高耐圧接合終端構造が、請求項 2 4 の高耐圧接合終端構造であって、第一導電形チャネルの高耐圧M I Sトランジスタが請求項 2 9 の第一導電形チャネルの高耐圧M I Sトランジスタであることを特徴とする請求項 4 3 記載の高耐圧 I C。

【請求項 4 8】同一工程による第二領域と第八領域であることを特徴とする請求項 4 6 記載の高耐圧 I C。

20 20 【請求項 4 9】同一工程による第二領域と第八領域であることを特徴とする請求項 4 7 記載の高耐圧 I C。

【請求項 5 0】第一導電形の第一領域と、第一領域の第一主面の表面層に選択的に形成された第二導電形の第二領域と、第二領域の表面層に選択的に形成された第一導電形の第三領域と、第三領域と離れて第二領域の表面層に選択的に形成された第一導電形の第一ソース領域および第一ドレイン領域と、第一ソース領域および第一ドレイン領域に挟まれた第二領域の表面上に絶縁膜を介して形成された第一ゲート電極とを備える第一導電形チャネルのM I Sトランジスタと、第三領域の表面層に選択的に形成された第二導電形の第二ソース領域および第二ドレイン領域と、第二ソース領域および第二ドレイン領域に挟まれた第三領域の表面上に絶縁膜を介して形成された第二ゲート電極を備えた第二導電形チャネルのM I Sトランジスタと、前記第二領域を取り囲む第一の高耐圧接合終端構造と、切り欠きを有するループ状に形成された第二の高耐圧接合終端構造と、該第二の高耐圧接合終端構造のループの内側の第一のドレイン電極とループの外側の第三のゲート電極と第一のソース電極とを備えた

30 第二導電形チャネルの高耐圧M I Sトランジスタとを備え、第一のドレイン電極からの第一の出力配線が第二領域上に延在している領域近傍に第二の高耐圧接合終端構造を形成せず、かつ第一の高耐圧接合終端構造と第二の高耐圧接合終端構造とが同一構造を有することを特徴とする高耐圧 I C。

40 【請求項 5 1】第一導電形の第一領域と、第一領域の第一主面の表面層に選択的に形成された第二導電形の第二領域と、第二領域の表面層に選択的に形成された第一導電形の第三領域と、第三領域と離れて第二領域の表面層に選択的に形成された第一導電形の第一ソース領域およ

び第一ドレイン領域と、第一ソース領域および第一ドレイン領域に挟まれた第二領域の表面上に絶縁膜を介して形成された第一ゲート電極とを備える第一導電形チャネルのMISトランジスタと、第三領域の表面層に選択的に形成された第二導電形の第二ソース領域および第二ドレイン領域と、第二ソース領域および第二ドレイン領域に挟まれた第三領域の表面上に絶縁膜を介して形成された第二ゲート電極を備えた第二導電形チャネルのMISトランジスタと、前記第二領域を取り囲む第一の高耐圧接合終端構造と、切り欠きを有するループ状に形成された第三の高耐圧接合終端構造と、該第三の高耐圧接合終端構造のループの内側の第二のドレイン電極とループの外側の第四のゲート電極と第二のソース電極とを備えた第一導電形チャネルの高耐圧MISトランジスタとを備え、第二のドレイン電極からの第二の出力配線が第一の高耐圧接合終端構造の外側に延在している領域近傍に第三の高耐圧接合終端構造を形成せず、かつ第一の高耐圧接合終端構造と第三の高耐圧接合終端構造とが同一構造を有することを特徴とする高耐圧IC。

【請求項5】請求項2の高耐圧接合終端構造を有することを特徴とする請求項5もしくは5記載の高耐圧IC。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、パワーデバイスの制御駆動用などに用いられる高耐圧ICで、パワーデバイスとは別の半導体基板または同一半導体基板上に形成される高耐圧ICに関する。

【0002】

【従来の技術】ここでは参考文献が多数あるため、文献名はまとめて番号を付けて【発明が解決しようとする課題】の項の最後に記載し、文章中では文献名の番号を〔 〕で示すことに留めた。また参考文献のUSP Noの後に〔 〕で示した内容は特許内容を簡単に説明したものである。

【0003】パワーデバイス[1]～[4]は、モータ制御用のインバータやコンバータ、照明用のインバータ、各種電源およびソレノイドやリレーの駆動用スイッチ等の多くの分野で広く利用されている。このパワーデバイスの駆動や制御は、従来個別の半導体素子や電子部品を組み合わせて構成した電子回路[5], [6]によっていたが、近年LSI(高集積度IC、ICとは集積回路のこと)技術を利用した数十V級の低耐圧IC[7], [8]や数百V級の高耐圧IC[9], [10]が実用化されており、さらに駆動・制御回路とパワーデバイスとを同一半導体基板に集積化したパワーIC[11], [12]が用いられインバータやコンバータなどの変換装置などの小型化や高信頼性が図られている。

【0004】図3はモータ制御用インバータのパワー部分を中心に説明する回路構成図である。三相モータM

oを駆動するために用いるパワーデバイス(ここではIGBTであるQ1～Q6とダイオードであるD1～D6を示す)はブリッジ回路を構成し同一パッケージに収納されたパワーモジュール[13]の構造をしている。ここでIGBTとは絶縁ゲート型バイポーラトランジスタのことである。主電源Vccは通常直流100～400Vと高電圧である。主電源Vccの高電位側をVccH、低電位側をVccLと表した場合、VccHに接続されるIGBTQ1～Q3を駆動するためには、IGBTのゲート電極の電位はこれよりさらに高電位となるため、駆動回路にはフォトカプラー(PC: Photo Coupler)や高耐圧IC(HVIC: High Voltage Integrated Circuit)が用いられる。駆動回路の入出力端子I/O(Input/Output)は通常マイクロコンピュータへ接続され、そのマイクロコンピュータによりインバータ全体の制御がなされる。

【0005】図3は図3で用いられる高耐圧IC(HVIC)の内部構成ユニットのブロック図を示す。

20 その構成をつぎに説明する。入出力端子I/Oを通してマイクロコンピュータと信号のやりとりを行い、どのIGBTをオンさせ、どれをオフさせるかの制御信号を発生させる制御回路CU(Control Unit)と、この制御回路CUからの信号を入力ラインSIN4～6で受けてIGBTのゲートドライブ用の出力ラインOUT4～6から信号を出し、またIGBTの過電流を電流検出端子[14]OC4～6で、過熱を温度端子[15]OT4～6で検出し、異常信号を出力ラインSOUT4～6で出し、図3の主電源Vccの低電位側VccLに接続するIGBTQ4～Q6を駆動する、ゲート駆動回路GDU(Gate Drive Unit)4～6と、GDU4～6と同じ機能で主電源Vccの高電位側VccHに接続するQ1からQ3を駆動するゲート駆動回路GDU1～3と、VccLレベルの制御回路CUの信号とVccHレベルとVccLレベルの間を行き来するGDU1～3の信号(SIN1～3, SOUT1～3)との間を媒介する働きをするレベルシフト回路LSU(Level Shift Unit)とから構成されている。GDU1～3のドライブ電源(図3参照)Vdd1～Vdd3の高電位側をVddH1～VddH3、低電位側をVddL1～VddL3で示し、GDU4～6のドライブ電源は共通電源Vddc(図3でも省略されている)であり、この共通電源Vddcの高電位側をVddHc、低電位側をVddLcで示す。またGDU4～6およびCUのドライブ共通電源Vddcは10～20V程度であり、この共通電源Vddcの低電位側VddLcは図3の主電源Vccの低電位側VccLに接続する。

【0006】図3は図3のGDU1とIGBTQ1のさらに詳細な接続図を示す。ここではその他のGDUとIGBTは省略している。GDU1のドライブ電源V

V_{DDL1} は 10 ~ 20 V 程度であり、その低電位側 V_{DDL1} は IGBTQ1 のエミッタ端子 E に即ちインバータ出力の U 相に接続され、IGBTQ1 のコレクタ端子 C が主電源 V_{CC} の高電位側 V_{CCH} に接続されている。このため、IGBTQ1 がオンした時は V_{DDL1} の電位は V_{CCH} の電位とほぼ等しくなり、また IGBTQ1 がオフした時は V_{DDL1} の電位は V_{CCL} の電位とほぼ等しくなる。従つて、GDU1 と他の回路ユニットとの間には主電源 V_{CC} の電圧より、さらに高い絶縁耐圧が必要であり、このことは GDU2、3 についても同様である。そしてレベルシフト回路 LSU はそれ自体が高耐圧でなければならぬ。同図において IGBTQ1 は電流検出端子[16]M と温度検出素子 θ および温度検出端子[17]Temp を備え、ゲート駆動回路 GDU1 は電流検出端子 OC1 や温度検出端子 OT1 により IGBTQ1 の異常を検出し、異常信号を出力ライン SOUT1 から出力する。OUT1 はゲート駆動端子である。

【0007】図36は図33と同一回路をインテリジェントパワーモジュール[18]と呼ばれる製品を用いて構成した構成図である。この場合ゲート駆動回路 GDU1 ~ GDU6 は、低耐圧 IC や個別電子部品および半導体素子からなり、パワーデバイス (Q1 ~ Q6, D1 ~ D6) とともにパワーデバイス側のパッケージに備えられている。この場合でも、外付けの駆動回路としてはフォトカプラー (PC) や高耐圧 IC (HVIC) が用いられる。

【0008】図37は図36のIGBTQ1およびGDU1のまわりの回路を詳細に示したものである。SIN1 および SOUT1 は外部の構成となる PC や HVIC に接続される。またその他の構成例として、GDU1 と Q1 を 1 チップ (同一の半導体基板) に集積化するパワー IC 技術[19], [20] や図36の全ての回路を 1 チップに集積化するパワー IC 技術[11], [12] も開示されている。

【0009】図38は図34に示した高耐圧 IC (HVIC) のチップの平面図を示し、各回路ユニットの配置が分かるように描いている。他の回路ユニットから高耐圧で分離される必要のある GDU1 は接合分離[21], [22], [10] や誘電体分離[23], [11], [12] により電気的に分離された島の中に形成されており、その周縁部を高耐圧接合終端構造[11], [21] HVJT (絶縁するために高電圧が印加される接合の終端部の構造をいう) により囲まれている。レベルシフト回路 LSU の中には主電源 V_{CC} の低電位側の電位 V_{CCL} レベルの信号をドライブ電源 V_{DD1} の低電位側の電位 V_{DDL1} レベルの信号 (入力ライン SIN1 の信号) にレベルシフトするための高耐圧 n チャネル MOSFET (HVN) が設けられている。この高耐圧 n チャネル MOSFET には、中心のドレイン電極 D_n を囲んで高耐圧接合終端構造[10], [11] HVJT が設けられている。また GDU1 の分離された島の中に

は V_{DDL1} レベルの信号 (出力ライン SOUT1 の信号) を V_{CCL} レベルの信号にレベルシフトするための高耐圧 p チャネル MOSFET (HVP) が設けられており、この場合もドレイン電極 D_p を囲んで高耐圧接合終端構造 HVJT が設けられている。そして、GDU1 の入力ライン SIN1 と出力ライン SOUT1 が、高耐圧接合終端構造 HVJT の上を通って GDU1 と LSU の間にそれぞれ跨がって配線されている。また各 GDU には図 35 で示した OUT 端子、OC 端子、OT 端子が配置され、GDU1 ~ GDU3 には $V_{DDH1} \sim V_{DDH3}$ の端子、 $V_{DDL1} \sim V_{DDL3}$ の端子が配置され、また GDU4 ~ GDU6 には V_{DDH4} の端子と V_{DDL4} の端子が配置されている。同図では GDU1 と GDU4 の詳細な説明をし、他の GDU は詳細な配置説明は省略した。

【0010】

【発明が解決しようとする課題】前記した従来の高耐圧 IC やパワー IC の課題は 600V を越える高耐圧化が困難なこと、製造コストが高いことなどであるが、さらに詳細に説明すると次のようになる。

20 (1) 分離技術に関する課題

先に述べたように、他の部分と電位の大きく異なる回路ユニット (例えば図38の GDU1, 2, 3) を他の部分から電気的に高耐圧で分離する分離技術には誘電体分離[11], [12], [23]、接合分離[10], [21], [22]、自己分離[20], [24] などの技術がある。しかし誘電体分離や接合分離は分離構造が複雑で製造コストが高く、耐圧が高くなるほど、この製造コストがさらに高くなる。また自己分離は製造コストは低く抑えられるが、CMOS (相補形 MOSFET) 構成では高耐圧化技術が未だ開発されておらず、一方、高耐圧化が可能な NMOS (n チャネル MOSFET) 構成ではアナログ回路 (先で述べた電流検出回路や温度検出回路を指す) の高精度化が極めて困難である。

(2) 高耐圧接合終端構造 HVJT に関する課題

高耐圧接合終端構造は、縦型パワーデバイス用のもの[25], [26]、横型高耐圧デバイス用のもの[27], [28], [29] など個々の用途別に各種構造が開示されている。しかしながら、高耐圧化した IC である HVIC やパワーデバイスを集積した高耐圧パワー IC においては、集積回路ユニット間の高耐圧接合終端構造 (図38の GDU1 ~ 3 の回り)、高耐圧横型 n チャネル MOSFET 用の高耐圧接合終端構造 (図38の HVN の D_n の回り)、高耐圧横型 p チャネル MOSFET 用の高耐圧接合終端構造 (図38の HVP の D_p の回り)、さらには縦型パワーデバイス用の高耐圧接合終端構造など多くの用途の高耐圧接合終端構造を同一チップ上に形成する必要がある。従来のような汎用性の少ない構造で高耐圧 IC やパワー IC を実現しようとすると、多くの異なる高耐圧接合終端構造 HVJT を同一チップ上に形成しなければならず、製造コストが高くなる。

(3) 配線下の高耐圧接合終端構造に関する課題

高耐圧ICでは、電位の大きく異なる集積回路ユニット（例えば図3-8のGDU1とLSU）間での信号のやり取りを行うため、高耐圧接合終端構造HVJT上に配線を通すことが必要とされる。ところが、高耐圧接合終端構造HVJT上を配線を通すとこの配線の電位の影響を受けて、高耐圧接合終端構造HVJTの耐圧が低下する問題がある[30]。この問題を解決するために、いくつかの構造[10], [11], [12], [31]が提案されているが、構造が複雑なため製造コストが高くなる。またこれらの提案されている構造では配線の影響を皆無にできなく、耐圧低下の程度を少なくしている丈であり、600V程度の耐圧までは実用化できても、それ以上の耐圧のものはまだ実現していない。

【0011】この発明は、前記課題を解決するために、高耐圧に耐える第二領域および第四領域を設け、縦型パワーDEバイスの高耐圧接合終端構造、集積回路ユニット間を分離する高耐圧接合終端構造、nチャネルまたはpチャネルの高耐圧横型MOSFETの高耐圧接合終端構造など幅広く利用できる汎用性が高く、低コストな高耐圧接合終端構造とし、配線が横切っても耐圧が低下せずに高耐圧が維持できる、低コストな高耐圧接合終端構造とすることで、製造コストの低い高耐圧ICを提供することができる。

参考文献

- [1] USP 4,364,073(IGBT関連)
- [2] USP 4,893,165(ノンパンチスルーフ形IGBT関連)
- [3] USP 5,008,725(パワーMOSFET関連)
- [4] EP 0,071,916、特開昭58-39065に対応(高速ダイオード内蔵パワーMOSFET関連)
- [5] USP 5,091,664(駆動回路関連)
- [6] USP 5,287,023(駆動回路関連)
- [7] USP 4,947,234(低耐圧ICとパワーDEバイス関連)
- [8] USP 4,937,646(低耐圧ICとパワーDEバイス関連)
- [9] A. Wegener and M. Amato "A HIGH VOLTAGE INTERFACE IC FOR HALF-BRIDGE CIRCUITS" Electrochemical Society Extended Abstracts, vol. 89-1, pp. 476-478(1989)
- [10] T. Terashima et al "Structure of 600V IC and A New Voltage Sensing Device" IEEE Proceeding of the 5th International Symposium on Power Semiconductor Devices and ICs, pp. 224-229(1993)
- [11] K. Endo et al "A 500V 1A 1-chip Inverter IC with a New Electric Field Reduction Structure" IEEE Proceeding of the 6th International Symposium on Power Semiconductor Devices and ICs, pp. 379-383(1994)
- [12] N. Sakurai et al "A three-phase inverter IC for AC220V with a drastically small chip size and highly intelligent functions" IEEE Proceeding of The 5th International Symposium on Power Semiconductor Devices and ICs, pp. 310-315(1993)

- [13] M. Mori et al "A HIGH POWER IGBT MODULE FOR TRACTION MOTOR DRIVE" IEEE Proceeding of the 5th International Symposium on Power Semiconductor Devices and ICs, pp. 287-289(1993)
- [14] USP 5,159,516 (電流検出方法関連)
- [15] USP 5,070,322 (温度検出方法関連)
- [16] USP 5,097,302 (電流検出用素子関連)
- [17] USP 5,304,837 (温度検出用素子関連)
- [18] K. Reinmuth et al "Intelligent Power Modules for Driving Systems" IEEE Proceeding of the 6th International Symposium on Power Semiconductor Devices and ICs, pp. 93-97(1994)
- [19] USP 4,677,325 (IPS関連)
- [20] USP 5,053,838 (IPS関連)
- [21] R. Zambrano et al "A New Edge Structure for 2kVolt Power IC Operation" IEEE Proceeding of the 6th International Symposium on Power Semiconductor Devices and ICs, pp. 373-378(1994)
- [22] M. F. Chang et al "Lateral HVIC with 1200V Bipolar and Field-Effect Devices" IEEE Transactions on Electron devices, vol. ED-33, No. 12, pp. 1992-2001(1986)
- [23] T. Ohoka et al "A WAFER BONDED SOI STRUCTURE FOR INTELLIGENT POWER ICs" IEEE Proceeding of the 5th International Symposium on Power Semiconductor Devices and ICs, pp. 119-123(1993)
- [24] J. P. MILLER "A VERY HIGH VOLTAGE TECHNOLOGY (up to 1200V) FOR VERTICAL SMART POWER ICs" Electrochemical Society Extended Abstracts, vol. 89-1, pp. 403-404(1989)
- [25] USP 4,399,449 (パワーDEバイスのHVJT関連)
- [26] USP 4,633,292 (パワーDEバイスのHVJT関連)
- [27] USP 4,811,075 (横型MOSFETのHVJT関連)
- [28] USP 5,258,636 (横型MOSFETのHVJT関連)
- [29] USP 5,089,871 (横型MOSFETのHVJT関連)
- [30] P. K. T. MOK and C. A. T. SALAMA "Interconnect Induced Breakdown in HVIC's" Electrochemical Society Extended Abstracts, vol. 89-1, pp. 437-438(1989)
- [31] USP 5,043,781 (パワーIC関連)
- 【0012】
- 【課題を解決するための手段】この発明は前記の目的を達成するために、第一導電形の第一領域と、第一領域の第一正面の表面層に選択的に形成された第二導電形の第二領域と、第二領域の表面層に選択的に形成された第一導電形の第三領域と、第三領域と離れて第二領域の表面層に選択的に形成された第一導電形の第一ソース領域および第一ドレイン領域と、第一ソース領域および第一ドレイン領域に挟まれた第二領域の表面上に絶縁膜を介して形成された第一ゲート電極と、第三領域の表面層に選

択的に形成された第二導電形の第二ソース領域および第二ドレイン領域と、第二ソース領域および第二ドレイン領域に挟まれた第三領域の表面上に絶縁膜を介して形成された第二ゲート電極とを具備することである。

【0013】第一領域と第二領域との間の第一のp n接合に逆バイアス電圧を印加した場合に、第二領域内に形成される空乏層の先端が第三領域に達しないように第二領域を形成することである。第一領域と第三領域に挟まれた第二領域の正味のドーピング量（第二導電形不純物のドーピング量から第一導電形不純物のドーピング量を差し引いたドーピング量）が $1 \times 10^{12} \text{ cm}^{-2}$ 以上、 $3 \times 10^{13} \text{ cm}^{-2}$ 以下にすることが効果的である。

【0014】第二領域の外周を取り囲んで高耐圧接合終端構造を形成するとよい。第二領域で取り囲まれ、第二領域とは離れて、第一領域の表面層に形成された第二導電形の第四領域を有することである。第二領域と第四領域に挟まれた第一領域の表面上に絶縁膜を介して第二領域と第四領域とに跨がる第一導電膜を設けることである。

【0015】この第一導電膜が第二領域もしくは第四領域のいずれかに電気的に接続されるとよい。第一導電形がp形の場合、この第一導電膜が第二領域と第四領域のうち低電位側の領域に接続され、第一導電形がn形の場合は高電位側の領域に接続されるとよい。

【0016】第一導電形の領域がn形で形成されてもよい。この第一導電形がn形で形成される高耐圧ICの第二主面が、nチャネルの縦型パワーデバイスのコレクタ電極（IGBTなどの場合）もしくはドレイン電極（MOSFETなどの場合）が固着される金属板上に、固着されるとよい。第一導電形の領域がp形で形成されてもよい。

【0017】この第一導電形がn形で形成される高耐圧ICの第二主面が、nチャネルの縦型パワーデバイスのエミッタ電極（IGBTなどの場合）上もしくはソース電極（MOSFETなどの場合）上に、固着されるとよい。nチャネルの縦型パワーデバイスと同一半導体基板に集積され、かつ、第一領域がnチャネルの縦型パワーデバイスの低濃度n形層（n形ドリフト層もしくは低濃度n形ドレイン層など）と共に形成されるとよい。

【0018】第二領域とnチャネルの縦型パワーデバイスのpベース領域とを取り囲む高耐圧接合終端構造を有することである。第二領域がnチャネルの縦形パワーデバイスのpベース領域で取り囲まれることである。第一領域の第一主面の表面層に選択的に不純物原子をイオン注入し、該不純物原子を熱拡散することで第二領域を形成してもよい。

【0019】第二領域の表面層に選択的に不純物原子をイオン注入し、該不純物原子を熱拡散することで第三領域を形成してもよい。第三領域に隣接する第二領域の表面層に、第二領域より高濃度の第二導電形の第五領域を

選択的に形成するとよい。第一領域に隣接する第二領域の表面層に、第二領域より高濃度の第二導電形の第五領域を選択的に形成するとよい。

【0020】第三領域をほぼ取り囲むように第五領域を形成するとよい。第二領域の表面層に形成された第一ソース領域および第一ドレイン領域と、第一ソース領域および第一ドレイン領域に挟まれた第二領域の表面上に絶縁膜を介して形成された第一ゲート電極とからなるMOSFETが形成される活性領域を有する第二領域において、該活性領域を除く第二領域の表面層の大部分に第五領域が設けられることである。

【0021】第二領域と隣接する第三領域の表面層に、第三領域より高濃度の第一導電形の第六領域を選択的に形成するとよい。高耐圧接合終端構造が第一領域と、第一領域の第一主面の表面層に選択的に形成された第二導電形の第八領域と、第八領域の表面層に選択的に形成された第一導電形の第九領域とで構成される三層構造を有し、第一領域と第八領域との間の第二のp n接合と、第八領域と第九領域との間の第三のp n接合とがともに逆バイアスされたときに、第二のp n接合の両側に拡がる第二の空乏層と、第三のp n接合の両側に拡がる第三の空乏層とが第八領域内で結合するよう第八領域が形成され、かつ第三の空乏層が第九領域の表面まで達するよう第九領域が形成されることである。

【0022】前記高耐圧接合終端構造が、第九領域下で、第一領域と第九領域とに挟まれた第八領域部分の正味のドーピング量が $1 \times 10^{11} \text{ cm}^{-2}$ 以上、 $4 \times 10^{12} \text{ cm}^{-2}$ 以下であり、かつ第九領域の正味のドーピング量が $1 \times 10^{11} \text{ cm}^{-2}$ 以上、 $2 \times 10^{12} \text{ cm}^{-2}$ 以下であるとよい。前記高耐圧接合終端構造が、第九領域上の絶縁膜と、該絶縁膜上へ延在し第八領域と電気的に接続される第二の導電膜と、前記絶縁膜上へ延在し第九領域と電気的に接続される第三の導電膜と、第二および第三の導電膜に接触し第二および第三の導電膜との間の前記絶縁膜を覆う高抵抗膜とを備えることである。

【0023】前記高耐圧接合終端構造の第一領域の第一主面の表面層に選択的に不純物原子をイオン注入し、該不純物原子を熱拡散することで第八領域が形成されるとよい。前記高耐圧接合終端構造の第八領域の表面層に選択的に不純物原子をイオン注入し、該不純物原子を熱拡散することで第九領域が形成されるとよい。

【0024】第二導電形チャネルの高耐圧MISトランジスタが、前記高耐圧接合終端構造を挟んで、一方の側に第八領域と電気的に接続された第一のドレイン電極を備え、他方の側に第九領域と接して形成された第一導電形のベース領域と、ベース領域の表面層に選択的に形成された第二導電形のソース領域と、第八領域と第二導電形のソース領域とに挟まれたベース領域表面層の第二導電形チャネル領域と、少なくとも第二導電形チャネル上に形成された第一のゲート絶縁膜および第一のゲート絶

縁膜上に形成された第三のゲート電極と、少なくとも前記第二導電形のソース領域に電気的に接続された第一のソース電極とを備えることである。

【0025】第一導電形チャネルの高耐圧MISトランジスタが、前記高耐圧接合終端構造を挟んで、一方の側に第八領域表面上に選択的に形成された第一導電形のソース領域と、第九領域と第一導電形のソース領域とに挟まれた第八領域表面の第一導電形チャネル領域と、少なくとも第一導電形チャネル領域上に形成された第二のゲート絶縁膜および第二のゲート絶縁膜上の第四のゲート電極と、少なくとも前記第一導電形のソース領域と電気的に接続された第二のソース電極とを備え、他方の側に第九領域と電気的に接続された第二のドレイン電極とを備えることである。

【0026】高耐圧ICが高耐圧接合終端構造に囲まれ、第八領域と電気的に接続された第二導電形の第二領域と、第二領域の表面層に選択的に形成された第一導電形の第三領域と、第二領域の表面層に形成された第一導電形チャネルのMISトランジスタと、第三領域の表面層に形成された第二導電形チャネルのMISトランジスタとを有することである。

【0027】前記高耐圧ICが第二領域と第八領域が連続して一つの領域を形成する場合、第二領域と第三領域と第八領域を同一工程で同時に形成してもよい。前記高耐圧ICが高耐圧接合終端構造を挟んで、一方の側に第八領域と電気的に接続された第一のドレイン電極と備え、他方の側に第九領域と接して形成された第一導電形のベース領域と、ベース領域の表面層に選択的に形成された第二導電形のソース領域と、第八領域と第二導電形のソース領域とに挟まれたベース領域表面層の第二導電形チャネル領域と、少なくとも第二導電形チャネル上に形成された第一のゲート絶縁膜および第一のゲート絶縁膜上に形成された第三のゲート電極と、少なくとも前記第二導電形のソース領域に電気的に接続された第一のソース電極とを備えた、第二導電形チャネルの高耐圧MISトランジスタを有することである。

【0028】前記高耐圧ICが高耐圧接合終端構造を挟んで、一方の側に第八領域表面上に選択的に形成された第一導電形のソース領域と、第九領域と第一導電形のソース領域とに挟まれた第八領域表面の第一導電形チャネル領域と、少なくとも第一導電形チャネル領域上に形成された第二のゲート絶縁膜および第二のゲート絶縁膜上の第四のゲート電極と、少なくとも前記第一導電形のソース領域と電気的に接続された第二のソース電極とを備え、他方の側に第九領域と電気的に接続された第二のドレイン電極とを備えた、第一導電形チャネルの高耐圧MISトランジスタを有することである。

【0029】前記高耐圧ICが高耐圧接合終端構造を挟んで、一方の側に第八領域と電気的に接続された第一のドレイン電極と備え、他方の側に第九領域と接して形成

された第一導電形のベース領域と、ベース領域の表面層に選択的に形成された第二導電形のソース領域と、第八領域と第二導電形のソース領域とに挟まれたベース領域表面層の第二導電形チャネル領域と、少なくとも第二導電形チャネル上に形成された第一のゲート絶縁膜および第一のゲート絶縁膜上に形成された第三のゲート電極と、少なくとも前記第二導電形のソース領域に電気的に接続された第一のソース電極とを備えた、第二導電形チャネルの高耐圧MISトランジスタを有し、かつ高耐圧接合終端構造を挟んで、一方の側に第八領域表面上に選択的に形成された第一導電形のソース領域と、第九領域と第一導電形のソース領域とに挟まれた第八領域表面の第一導電形チャネル領域と、少なくとも第一導電形チャネル領域上に形成された第二のゲート絶縁膜および第二のゲート絶縁膜上の第四のゲート電極と、少なくとも前記第一導電形のソース領域と電気的に接続された第二のソース電極とを備え、他方の側に第九領域と電気的に接続された第二のドレイン電極とを備えた、第一導電形チャネルの高耐圧MISトランジスタとを有することである。

【0030】前記高耐圧ICが第一領域の第一主面の表面層に選択的に不純物原子をイオン注入し、該不純物原子を熱拡散することで第八領域が形成されるとよい。前記第八領域の表面層に選択的に不純物原子をイオン注入し、該不純物原子を熱拡散することで第九領域が形成されるとよい。前記高耐圧ICにおいて、第一領域と第二領域との間の第一のpn接合に印加される逆バイアス電圧により第二領域内へ拡がる第一の空乏層の先端が前記第二領域と第三領域との間の第四のpn接合と前記第一のpn接合との間に位置するように第二領域を形成することである。

【0031】この第三領域下の、第一領域と第三領域とに挟まれた第二領域部分の正味のドーピング量が $1 \times 10^{12} \text{ cm}^{-2}$ 以上、 $3 \times 10^{13} \text{ cm}^{-2}$ 以下であるとよい。前記高耐圧ICにおいて、第一領域の第一主面の表面層に選択的に不純物原子をイオン注入し、該不純物原子を熱拡散することで第二領域が形成され、第二領域の表面層に選択的に不純物原子をイオン注入し、該不純物原子を熱拡散することで第三領域を形成するとよい。

【0032】高耐圧ICが、第一導電形の第一領域と、第一領域の第一主面の表面層に選択的に形成された第二導電形の第二領域と、第二領域の表面層に選択的に形成された第一導電形の第三領域と、第三領域と離れて第二領域の表面層に選択的に形成された第一導電形の第一ソース領域および第一ドレイン領域と、第一ソース領域および第一ドレイン領域に挟まれた第二領域の表面上に絶縁膜を介して形成された第一ゲート電極とを備える第一導電形チャネルのMISトランジスタと、第三領域の表面層に選択的に形成された第二導電形の第二ソース領域および第二ドレイン領域と、第二ソース領域および第二

ドレイン領域に挟まれた第三領域の表面上に絶縁膜を介して形成された第二ゲート電極を備えた第二導電形チャネルのM I Sトランジスタと、前記第二領域を取り囲む第一の高耐圧接合終端構造と、ループ状（ループ状とは帯状で環状となっている状態をいう）に形成された第二の高耐圧接合終端構造と、該第二の高耐圧接合終端構造のループの内側の第一のドレイン電極とループ外側の第三のゲート電極と第一のソース電極とを備えた第二導電形チャネルの高耐圧M I Sトランジスタとを備え、第一の高耐圧接合終端構造と第二の高耐圧接合終端構造とが基本的に同一構造（基本的に同一構造という意味は、同一または殆ど同一構造で、違いがある場合は濃度や拡散深さが微妙に異なる丈であることを意味する）を有することである。

【0033】前記高耐圧 I C の第二の高耐圧接合終端構造が第一の高耐圧接合終端構造と連結するとよい。前記高耐圧 I Cにおいて、第一のドレイン電極からの第一の出力配線が第二の高耐圧接合終端構造を横切って第一の高耐圧接合終端構造に取り囲まれる第二領域上に延在しているとよい。

【0034】高耐圧 I C が、第一導電形の第一領域と、第一領域の第一主面の表面層に選択的に形成された第二導電形の第二領域と、第二領域の表面層に選択的に形成された第一導電形の第三領域と、第三領域と離れて第二領域の表面層に選択的に形成された第一導電形の第一ソース領域および第一ドレイン領域と、第一ソース領域および第一ドレイン領域に挟まれた第二領域の表面上に絶縁膜を介して形成された第一ゲート電極とを備える第一導電形チャネルのM I Sトランジスタと、第三領域の表面層に選択的に形成された第二導電形の第二ソース領域および第二ドレイン領域と、第二ソース領域および第二ドレイン領域に挟まれた第三領域の表面上に絶縁膜を介して形成された第二ゲート電極を備えた第二導電形チャネルのM I Sトランジスタと、前記第二領域を取り囲む第一の高耐圧接合終端構造と、ループ状に形成された第三の高耐圧接合終端構造と、該第三の高耐圧接合終端構造のループの内側の第二のドレイン電極とループ外側の第四のゲート電極と第二のソース電極とを備えた第一導電形チャネルの高耐圧M I Sトランジスタとを備え、第一の高耐圧接合終端構造と第三の高耐圧接合終端構造とが基本的に同一構造を有することである。

【0035】前記高耐圧 I C の第三の高耐圧接合終端構造が第一の高耐圧接合終端構造と連結するとよい。前記高耐圧 I Cにおいて、第二のドレイン電極からの第二の出力配線が第三の高耐圧接合終端構造を横切って、第一の高耐圧接合終端構造の外側に延在しているとよい。

【0036】高耐圧 I C が、第一領域と、第一領域の第一主面の表面層に選択的に形成された第二導電形の第八領域と、第八領域の表面層に選択的に形成された第一導電形の第九領域とで構成される三層構造を有し、第一領

域と第八領域との間の第二のp n接合と、第八領域と第九領域との間の第三のp n接合とともに逆バイアスされたときに、第二のp n接合の両側に拡がる第二の空乏層と、第三のp n接合の両側に拡がる第三の空乏層とが第八領域内で結合するよう第八領域が形成され、かつ第三の空乏層が第九領域の表面まで達するよう第九領域が形成された第一の高耐圧接合終端構造を有し、第九領域下で、第一領域と第九領域とに挟まれた第八領域部分の正味のドーピング量が $1 \times 10^{11} \text{ cm}^{-2}$ 以上、 $4 \times 10^{12} \text{ cm}^{-2}$ 以下であり、かつ第九領域の正味のドーピング量が $1 \times 10^{11} \text{ cm}^{-2}$ 以上、 $2 \times 10^{12} \text{ cm}^{-2}$ 以下とし、この高耐圧接合終端構造を挟んで、一方の側に第八領域と電気的に接続された第一のドレイン電極を備え、他方の側に第九領域と接して形成された第一導電形のベース領域と、ベース領域の表面層に選択的に形成された第二導電形のソース領域と、第八領域と第二導電形のソース領域とに挟まれたベース領域表面層の第二導電形チャネル領域と、少なくとも第二導電形チャネル上に形成された第一のゲート絶縁膜および第一のゲート絶縁膜上に形成された第三のゲート電極と、少なくとも前記第二導電形のソース領域に電気的に接続された第一のソース電極とを備えた、第二導電形チャネルの高耐圧M I Sトランジスタを有することである。

【0037】高耐圧 I C が、第一領域と、第一領域の第一主面の表面層に選択的に形成された第二導電形の第八領域と、第八領域の表面層に選択的に形成された第一導電形の第九領域とで構成される三層構造を有し、第一領域と第八領域との間の第二のp n接合と、第八領域と第九領域との間の第三のp n接合とともに逆バイアスされたときに、第二のp n接合の両側に拡がる第二の空乏層と、第三のp n接合の両側に拡がる第三の空乏層とが第八領域内で結合するよう第八領域が形成され、かつ第三の空乏層が第九領域の表面まで達するよう第九領域が形成された第一の高耐圧接合終端構造を有し、第九領域下で、第一領域と第九領域とに挟まれた第八領域部分の正味のドーピング量が $1 \times 10^{11} \text{ cm}^{-2}$ 以上、 $4 \times 10^{12} \text{ cm}^{-2}$ 以下であり、かつ第九領域の正味のドーピング量が $1 \times 10^{11} \text{ cm}^{-2}$ 以上、 $2 \times 10^{12} \text{ cm}^{-2}$ 以下とし、該高耐圧接合終端構造を挟んで、一方の側に第八領域表面上に選択的に形成された第一導電形のソース領域と、第九領域と第一導電形のソース領域とに挟まれた第八領域表面の第一導電形チャネル領域と、少なくとも第一導電形チャネル領域上に形成された第二のゲート絶縁膜および第二のゲート絶縁膜上の第四のゲート電極と、少なくとも前記第一導電形のソース領域と電気的に接続された第二のソース電極とを備え、他方の側に第九領域と電気的に接続された第二のドレイン電極とを備えた、第一導電形チャネルの高耐圧M I Sトランジスタを有することである。

【0038】前記高耐圧 I Cにおいて、第二領域と第八

領域とを、同一工程で同時に形成してもよい。また第一導電形の第一領域と、第一領域の第一主面の表面層に選択的に形成された第二導電形の第二領域と、第二領域の表面層に選択的に形成された第一導電形の第三領域と、第三領域と離れて第二領域の表面層に選択的に形成された第一導電形の第一ソース領域および第一ドレイン領域と、第一ソース領域および第一ドレイン領域に挟まれた第二領域の表面上に絶縁膜を介して形成された第一ゲート電極とを備える第一導電形チャネルのM I Sトランジスタと、第三領域の表面層に選択的に形成された第二導電形の第二ソース領域および第二ドレイン領域と、第二ソース領域および第二ドレイン領域に挟まれた第三領域の表面上に絶縁膜を介して形成された第二ゲート電極を備えた第二導電形チャネルのM I Sトランジスタと、前記第二領域を取り囲む第一の高耐圧接合終端構造と、切り欠きを有するループ状（一部開いているループの形をしている状態をいう）に形成された第二の高耐圧接合終端構造と、該第二の高耐圧接合終端構造のループの内側の第一のドレイン電極とループの外側の第三のゲート電極と第一のソース電極とを備えた第二導電形チャネルの高耐圧M I Sトランジスタとを備え、第一のドレイン電極からの第一の出力配線が第二領域上に延在している領域近傍（前記の一部ループが開いている部分に相当する）に第二の高耐圧接合終端構造を形成せず、かつ第一の高耐圧接合終端構造と第二の高耐圧接合終端構造とが基本的に同一構造を有することである。

【0039】第一導電形の第一領域と、第一領域の第一主面の表面層に選択的に形成された第二導電形の第二領域と、第二領域の表面層に選択的に形成された第一導電形の第三領域と、第三領域と離れて第二領域の表面層に選択的に形成された第一導電形の第一ソース領域および第一ドレイン領域と、第一ソース領域および第一ドレイン領域に挟まれた第二領域の表面上に絶縁膜を介して形成された第一ゲート電極とを備える第一導電形チャネルのM I Sトランジスタと、第三領域の表面層に選択的に形成された第二導電形の第二ソース領域および第二ドレイン領域と、第二ソース領域および第二ドレイン領域に挟まれた第三領域の表面上に絶縁膜を介して形成された第二ゲート電極を備えた第二導電形チャネルのM I Sトランジスタと、前記第二領域を取り囲む第一の高耐圧接合終端構造と、切り欠きを有するループ状に形成された第三の高耐圧接合終端構造と、該第三の高耐圧接合終端構造のループの内側の第二のドレイン電極とループ外側の第四のゲート電極と第二のソース電極とを備えた第一導電形チャネルの高耐圧M I Sトランジスタとを備え、第二のドレイン電極からの第二の出力配線が第一の高耐圧接合終端構造の外側に延在している領域近傍に第三の高耐圧接合終端構造を形成せず、かつ第一の高耐圧接合終端構造と第三の高耐圧接合終端構造とが基本的に同一構造を有することである。

【0040】前記の高耐圧 I Cにおいて、第九領域下で、第一領域と第九領域とに挟まれた第八領域部分の正味のドーピング量が $1 \times 10^{11} \text{ cm}^{-3}$ 以上、 $4 \times 10^{12} \text{ cm}^{-3}$ 以下であり、かつ第九領域の正味のドーピング量が $1 \times 10^{11} \text{ cm}^{-3}$ 以上、 $2 \times 10^{12} \text{ cm}^{-3}$ 以下である高耐圧接合終端構造を有するとよい。この発明の作用を請求項に対応して説明する。請求項1によれば、第一領域と第二領域の間の p n 接合を逆バイアスにしておくことにより、第二領域に囲まれたCMOS回路が第一領域から電気的に分離されるので、電位の異なる複数のCMOS回路を低コストで同一チップ上に集積化することが可能となる。

【0041】請求項2によれば、第一領域と第二領域との間の p n 接合に高い逆バイアス電圧が印加されても、第二領域が空乏層の伸びより広いため、寄生バイオーラトランジスタ（第一領域をコレクタ、第二領域をベース、第三領域をエミッタとするバイオーラトランジスタ）のブレークダウンが生じない。そのため、第二領域の第一領域からの分離耐圧を高くすることができる。

【0042】請求項3に従って、第一、第二、第三の各領域の不純物量を調整すれば、容易に請求項2の条件を満たすことができ、高耐圧化が可能となる。請求項4によれば、第一領域と第二領域との間の半導体表面における接合終端部（高耐圧接合終端構造を形成する部分）で耐圧低下を防ぐことができるので、第二領域の第一領域からの分離耐圧を高く保つことができる。

【0043】請求項5によれば、第二領域と電位の若干異なる第四領域で第二領域と同様に第一領域と大きく電位が異なる第四領域を第二領域に隣接して設けることができる（例えば、アナログ用の15V系電源とロジック用の5V系電源というように）、2系統の電源系統を有する回路ユニットを、第一領域から電気的に分離された状態で備えることができる。また、この第四領域をコレクタとするバイオーラトランジスタを第二領域からコレクタが独立した形態で備えることができる。これらはいずれも回路設計の自由度を増し、高性能な回路の実現を可能とする。

【0044】請求項6から8によれば、前記の第二領域と第四領域が向かい合う部分での第二領域や第四領域の第一領域に対する耐圧の低下を防ぐことができ、請求項5の構成においても高い分離耐圧を得ることができる。請求項9および10によれば、高耐圧 I Cチップの裏面（第一領域の第二主面）の電位をパワーデバイスのコレクタの電位と同一にできるので、高耐圧 I Cチップをパワーデバイスと同一の金属板上に配置でき、実装面積を小さくすることができる。さらにこの金属板を介してパワーデバイスの発生する熱が高耐圧 I Cチップに効率よく伝導するため、パワーデバイスの温度変化に高耐圧 I Cチップの温度が追随でき、高耐圧 I Cチップ内に設けた温度センサーでパワーデバイスの温度上昇を検出でき

る。従って従来のようにパワーデバイス上に温度検出素子を設ける必要がなく、パワーデバイスの加熱保護を低成本で行うことができる。

【0045】請求項11から12によれば、高耐圧ICチップの裏面の電位をパワーデバイスのエミッタの電位と同一にできるので、高耐圧ICチップをパワーデバイス上に配置でき、実装面積を小さくできる。さらにパワーデバイスの発熱が高耐圧ICチップに直接伝導するため、前記と同様にパワーデバイスの温度変化に高耐圧ICチップの温度が追随できる。従って従来のようにパワーデバイス上に温度検出素子を設ける必要がなく、パワーデバイスの加熱保護を低成本で行うことができる。

【0046】請求項13によれば、ICとパワーデバイスとを同一チップ（同一半導体基板）に集積化でき、実装面積を小さくできる。またパワーデバイス部分の温度を直接IC部分で検出できるので、高精度の温度検出が可能となる。請求項14および15によれば、パワーデバイス部分とIC部分の境界領域での耐圧低下が生じないので、高耐圧化が可能となる。

【0047】請求項16および17にすれば、高耐圧ICを低成本で製造することができる。請求項18から21によれば、第一領域をコレクタ、第二領域をベース、第三領域をエミッタとする寄生バイポーラトランジスタのベース抵抗を小さくできるので、この寄生バイポーラトランジスタの誤動作によるブレークダウンやラッチアップを防ぐことができる。

【0048】請求項22によれば、第二領域をコレクタ、第三領域をベース、第三領域内に形成された第二導電形チャネルのMISトランジスタ（Metal-In-Sulator-Semiconductorトランジスタで、代表的なものとしてMOSFETがある）のソースやドレインをエミッタとした寄生バイポーラトランジスタのベース抵抗を小さくできるので、この寄生バイポーラトランジスタの誤動作によるブレークダウンやラッチアップを防ぐことができる。

【0049】請求項23によれば、第二および第三のpn接合がともに逆バイアスされたときに、第一領域と第八領域と第九領域の三層構造からなる高耐圧接合終端構造の第八領域と第九領域が完全に空乏層化、第一領域内から第九領域を経て第八領域表面まで達する一体化した空乏層が高耐圧接合終端構造の水平方向全体に形成されるために、水平方向に高い耐圧を得ることができ、かつ垂直方向（第一正面に対して垂直）には低濃度の第一領域内へ広く空乏層が拡がるため、垂直方向にも高い耐圧を得ることができる。したがって第一領域が充分低濃度であれば、高耐圧接合終端構造の水平方向の距離さえ大きく設計すればこの距離に依存した高い耐圧がえられる。

【0050】請求項24の条件を満たすことにより、第二および第三のpn接合からの空乏層が第八および第九

領域内へ伸びやすくなり、請求項23で述べた第二のpn接合から拡がる第二の空乏層と第三のpn接合から拡がる第三の空乏層とが第八領域内で結合し、かつ第三の空乏層が第九領域の表面まで達するという用件を満たすことが可能となる。

【0051】請求項25によれば、第二と第三の導電体の間を高抵抗膜を介して流れる電流により、高抵抗膜に発生する水平方向の滑らかな電位分布が前記絶縁膜の容量を介して絶縁膜下の半導体領域（第九、第八および第一領域）内へ静電的に作用して、半導体領域の空乏層内の電位分布を水平方向に滑らかに安定化させるので、より一層小さい高耐圧接合終端構造の水平方向の距離で高耐圧を得ることが可能となる。

【0052】請求項26、27によれば、低成本な高耐圧接合終端構造を高耐圧ICに組み込むことができる。請求項28によれば、請求項23、24と同様の作用で高耐圧化された「第八領域をドレインとする」高耐圧MISトランジスタを高耐圧ICに組み込むことができる。

【0053】請求項29によれば、やはり請求項34と同様の作用で高耐圧化された「第九領域をドレインとする」高耐圧MISトランジスタを高耐圧ICに組み込むことができる。この高耐圧MISトランジスタは、請求項28の高耐圧MISトランジスタとは逆の導電形チャネルであり、なおかつ基本的に同一構造の高耐圧接合終端構造により高耐圧化されているので、請求項28の高耐圧MISトランジスタとともに同一チップ上に低成本で集積化でき、そして相補的に利用することができる。

【0054】請求項30によれば、請求項23、24と同様の作用により、他の回路ユニットから高耐圧で分離された回路ユニット（例えば、図2や図6のGDU1に相当する回路ユニット）を備えた高耐圧ICを容易に構成することができる。さらに、この高耐圧接合終端構造は、請求項28や29の高耐圧MISトランジスタに用いる高耐圧接合終端構造と基本的に同一構造とすることができるので、低成本で高耐圧ICに組み込むことが可能となる。

【0055】請求項31によれば、請求項30の高耐圧ICを低成本で製造できる。請求項32、33、34によれば、図2や図6に示した高耐圧ICを低成本で実現できる。請求項35、36によれば、請求項23や24の高耐圧接合終端構造を低成本で製造することができる。

【0056】請求項37に従えば、第一領域と第二領域の間の第一のpn接合に高い逆バイアス電圧が印加されても、寄生バイポーラトランジスタ（第一領域をコレクタ、第二領域をベース、第三領域をエミッタとする寄生バイポーラトランジスタ）のブレークダウンが生じないので、第二領域の第一領域からの分離耐圧として高い耐

圧が得られる。

【0057】請求項38に従って、第一領域、第二領域、第三領域の不純物量を調整すれば、容易に請求項37の条件を満たすことができ、高耐圧化が容易になる。請求項39によれば、低コストで高耐圧ICを製造することが可能となる。請求項40によれば、他の回路ユニットから高耐圧で分離された回路ユニット（例えば図2や図6のGDU1）のための高耐圧接合終端構造と第二導電形チャネルの高耐圧MISトランジスタ（例えば図6のHVN）の高耐圧接合終端構造とを同じ工程で同一チップ上に作り込めるので、低コストな高耐圧ICが得られる。

【0058】請求項41、42によれば、電位の大きく異なる回路ユニット間の信号の伝達を行う（レベルシフトのこと）ための第二導電形チャネルの高耐圧MISトランジスタの第一のドレイン電極の第一の出力配線をこれと電位差の比較的小さい第二領域上へ延ばすだけなので、この第一の出力配線が大きな電位差のある高耐圧接合終端構造部分を横切らず小さな電位差の高耐圧接合構造部分だけを横切る。したがって、課題の第3項で述べた配線が横切る高耐圧接合終端構造部分における耐圧低下の問題から完全に逃げることができる。これは、この発明の非常に大きな効果であり、複雑な構造を必要としないので、低コストでありながら、耐圧低下は全く発生しないので、数千Vの耐圧の高耐圧ICでも実現可能となる。この構造は図19、図20、図22で説明されている。

【0059】請求項43によれば、請求項40と同様に、他の回路ユニットから高耐圧で分離された回路ユニット（例えば図2や図6のGDU1）のための高耐圧接合終端構造と第一導電形チャネルの高耐圧MISトランジスタ（例えば図6のHVP）の高耐圧接合終端構造と同じ工程で同一チップ上に作り込めるので、低コストな高耐圧ICが得られる。

【0060】請求項44、45によれば、電位の大きく異なる回路ユニット間の信号の伝達を行う（レベルシフトのこと）ための第一導電形チャネルの高耐圧MISトランジスタの第二のドレイン電極の第二の出力配線をこれと電位差の比較的小さい第一領域上（もしくは第一領域表面に形成された他の領域上）へ延ばすだけなので、この第二の出力配線が大きな電位差のある高耐圧接合終端構造部分を横切らず小さな電位差の高耐圧接合構造部分だけを横切る。したがって、課題の第3項で述べた配線が横切る高耐圧接合終端構造部分における耐圧低下の問題から完全に逃げることができる。これは、この発明の非常に大きな効果であり、複雑な構造を必要としないので、低コストでありながら、耐圧低下は全く発生しないので、数千Vの耐圧の高耐圧ICでも実現可能となる。この構造は図19、図20、図22で説明されている。

【0061】請求項46、47は単なる組み合わせであるので説明は省略する。請求項48、49によれば、低コストで高耐圧ICを製造できる。請求項50ないし52によれば、より一層低コストで高耐圧ICを製造できる。

【0062】

【発明の実施の形態】図1はこの発明の第1実施例の要部断面図を示す。この実施例は請求項1、2、3、4、16～22に対応しており、図38の高耐圧接合終端構造HVTに囲まれたGDU1～3の部分にこの発明が適用されている。以下、一部実施例を除き第一導電形をp形、第二導電形をn形として説明する。

【0063】高耐圧IC（HVIC）はホウ素をドープしたp形半導体基板からなる第一領域1と、その表面層に選択的にリンのイオン注入を行って高温の熱拡散により形成したn形の第二領域2と、第二領域2の表面層に選択的にホウ素のイオン注入を行って高温の熱拡散により形成したp形の第三領域3と、第二領域2の表面層に選択的にリンをイオン注入し高温の熱拡散により形成したn形の第五領域5と、第三領域3の表面層に選択的にホウ素をイオン注入し高温の熱拡散により形成されたp形の第六領域6と、第二領域2の表面層に選択的に形成したp形の高濃度領域11（第一ソース領域と第一ドレン領域になる）とこのp形の高濃度領域11に挟まれた第二領域2上にゲート絶縁膜13を介して形成されたゲート電極となる多結晶シリコン膜15とで構成されるpチャネルMOSFET（pchMOSFET）と、第三領域3の表面層に選択的に形成されたn形の高濃度領域12（第二ソース領域と第二ドレン領域になる）とこのn形の高濃度領域12に挟まれた第三領域3上にゲート絶縁膜13を介して形成されたゲート電極となる多結晶シリコン膜15とで構成されるnチャネルMOSFET（nchMOSFET）と、第一領域1と第二領域2との間の第一のpn接合104に高い逆バイアス電圧が印加されたときに表面付近での電界集中によるブレーカダウンが生じないように、第一領域1を囲んで設けられた高耐圧接合終端構造HVTとからなる。p形の高濃度領域11は高濃度のホウ素がドープされ、n形の高濃度領域は高濃度のリンがドープされている。ゲート絶縁膜13は厚みが200～500Å程度のシリコン酸化膜で形成される。第一領域1上、第二領域2上および第五領域5上的一部分にフィールド絶縁膜14が厚み5000～10000Å程度のシリコン酸化膜で形成され、その上に選択的に導電膜であるリンドープされたn形の多結晶シリコン膜15が厚さ3000～6000Å程度で形成される。またこの多結晶シリコン膜15は第三領域3と第二領域2の向かい合う領域にも同図に示すように形成される。層間絶縁膜16は例えば常圧CVD等により形成された、厚さ5000～10000ÅのBPSG膜である。第一金属膜17は第一主面側の配線や電極と

して用いる例えは厚さ $5000 \sim 10000 \text{ \AA}$ 程度の A-I-1%Si 膜である。第一領域 1 の不純物濃度は $10^{13} \sim 10^{15} \text{ cm}^{-3}$ 程度であり、例えは 600 V 耐圧の高耐圧 IC では $1.5 \times 10^{14} \text{ cm}^{-3}$ 以上、 1200 V 耐圧の高耐圧 IC では $8 \times 10^{13} \text{ cm}^{-3}$ 以下というように必要とする耐圧により適切な不純物濃度が異なる。第一領域 1 の不純物濃度と第二領域 2 の不純物のドープ量

(ドーピング量) は第一領域 1 と第二領域 2 との間の第一の p-n 接合 104 が高電圧に逆バイアスされたときでも第一の p-n 接合 104 の両側に拡がる空乏層 101 の第二領域 2 側での空乏層端 102 が第三領域 3 へは届かず第二領域 2 内に止まるよう設定される。これを満たすには、第三領域 3 下の第三領域 3 と第一領域 1 とに挟まれた第二領域 103 の部分の正味のドープ量を $1 \times 10^{12} \text{ cm}^{-2}$ 以上、 $3 \times 10^{13} \text{ cm}^{-2}$ 以下にすることが効果的である。典型的な例を次に示す。第二領域 2 の形成を $5 \times 10^{12} \sim 1 \times 10^{13} \text{ cm}^{-2}$ のドープ量のリンの選択的なイオン注入と 1150°C 、3~10 時間程度の熱拡散を行いその深さを $3 \sim 8 \mu\text{m}$ 程度に設定し、第三領域 3 の形成を $1 \times 10^{13} \sim 5 \times 10^{13} \text{ cm}^{-2}$ のドープ量のホウ素の選択的なイオン注入と 1100°C 、2~10 時間程度の熱拡散により行い、その深さを $1 \sim 4 \mu\text{m}$ 程度に設定する。第五領域 5 および第六領域 6 のドープ量は $1 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-2}$ 程度、p 形および n 形の高濃度領域 11、12 のドープ量は $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 程度である。高耐圧接合終端構造 HVJT は、従来技術の引用文献の中から色々な構造を用いることが可能であり、また引用した以外の構造も用いることもできる。第二領域 2 内に設けた比較的高濃度にドープされた n 形の第五領域 5 は、第一領域 1 をコレクタ、第二領域 2 をベース、第三領域 3 をエミッタとする寄生バイポーラトランジスタのベース抵抗を低く抑えて、その誤動作を防ぐためのものである。この第五領域 5 は、第三領域に対向する第二領域 2 の表面層や第一領域 1 に対向する第二領域 2 の表面層に形成し、できる限り第三領域 3 の回りを概ね囲うように設けたり、第二領域 2 表面上で MOSFET などの素子を形成しない領域 (フィールド領域) の大半を覆うように設けたりすることで誤動作を防止する効果が高まる。また第三領域 3 内に設けた比較的高濃度にドープされた p 形の第六領域 6 は第二領域 2 をコレクタ、第三領域 3 をベース、n 形の高濃度領域 12 をエミッタとする寄生バイポーラトランジスタのベース抵抗を低く抑えてその誤動作を防ぐものである。この第六領域 6 においても、前記第五領域 5 の形成と同様の配置上の工夫することで効果を高めることができる。

【0064】同図に示した高耐圧 IC (HVIC) の例は第一導電形が p 形、第二導電形が n 形であるので、第一領域 1 は図 34 の V_{DDLc} 即ち図 33 の V_{CCL} に接続され、第三領域 3 は図 34 の V_{DDL1} 即ち図 33 の U 相に接

続され、第二領域 2 は 15 V 程度のドライブ電源 V_{DD1} から高電位側の出力 V_{DDH1} が接続される。また同図では簡略化のため、第二領域 2 および第三領域 3 内に p チャネル MOSFET と n チャネル MOSFET のみを図示したが、実際はこれらの素子以外に抵抗やコンデンサ、ダイオードやバイポーラトランジスタなどの各種デバイスを多数集積化して形成することができ、これらのデバイスを用いてゲート駆動回路 GDU1 (図 33 および図 35) を構成することができる。そして、後述する構造の高耐圧 n チャネル MOSFET (HVN) や高耐圧 p チャネル MOSFET (HVP) を図 38 に示したように加え、GDU1 と LSU との間の信号配線である入力ライン SIN1 と出力ライン SOUT1 を形成すれば図 33 ~ 図 35 に説明した高耐圧 IC となる。

【0065】図 2 は第 2 実施例を示す要部構造図で、同図 (a) は図 38 における GDU1 と高耐圧接合終端構造 HVJT に対応する部分の要部平面図で、同図 (b) は同図 (a) の X-X で切断した要部断面図である。同図 (a)、(b) は請求項 5~8 に対応する実施例である。同図 (a) において、GDU1 は高耐圧接合終端構造 HVJT に周囲を囲まれた第二領域 2 および第四領域 4 に形成されている。同図 (b) において、第二領域 2 に囲まれて、第二領域 2 とは分離された n 形の第四領域 4 が設けられ、この第二領域 2 と第四領域 4 とに跨がって多結晶シリコンからなるループ状の第一導電膜 7 がフィールド絶縁膜 14 を介して設けられている。この第一導電膜 7 と図 1 の多結晶シリコン膜 15 とは同様の働きをする。同図 (b) では第四領域 4 は一つしか描いていないが、当然必要により複数 (もしくは多数) 設けることもできる。第四領域 4 は第二領域 2 の形成と同時にリンを選択的にイオン注入するときのマスクのパターン形状を変えるだけで形成される。この第四領域 4 には n-p-n トランジスタを形成した例が示してあり、第六領域 6 の形状と同時に形成したベース領域 31、n 形の高濃度領域 12 の形成と同時に形成したエミッタ領域 32 およびコレクタとしての第二領域 2 を備え、第二領域 2 内に設けるのと同じ理由で第四領域 4 にも第五領域 5 を設けている。第二領域 2 内と第三領域 3 内とに p チャネル MOSFET (p-ch MOSFET) と n チャネル MOSFET (n-ch MOSFET) を設けた例を示しているが、第二領域 2 および第三領域 3 には前記同様多くの種類のデバイスを集積化することができ、また同様に第四領域 4 にも第三領域 3 と同様の p 形の領域 (図示されていないが仮に第七領域と呼ぶこととする) を設けて、この第四領域 4 および第七領域に多くの種類のデバイスを集積化することができる。第四領域 4 は第二領域 2 のドライブ電源 V_{DD1} と異なる電源 V_{EE1} (例えは 15 V の V_{DD1} を降圧安定化したアナログ回路用の 10 V 電源やロジック回路用の 5 V 電源など) の回路ユニットとして利用でき、また同図 (b) に示すようにコレクタ

(C) が第二領域 2 から独立したバイポーラトランジスタとしても利用することができるので、この第四領域 4 の利用により回路設計の自由度が非常に大きくなる。

【0066】また同図 (b) において、第二領域 2 と第四領域 4 に挟まれた第一領域 1 表面上にはフィールド絶縁膜 14 を介して第二領域 2 と第四領域 4 とに跨がる導電膜 7 が設けられており、高電圧が印加される第一領域 1 と第二領域 2 との間の第一の p n 接合 104 と第一領域 1 と第四領域 4 との間の第四の p n 接合 105 が不連続であることによる電界集中を防止し、高い耐圧が確保できるようになっている。この導電膜 7 は浮遊電位状態 (フローテング) にしておくよりも、第二領域 2 もしくは第四領域 4 に電気的に接続し、電位的に安定化しておく方が好ましい。また第二領域 2 と第四領域 4 の間の分離耐圧を高くとりたい場合には、第一導電形が p 形の場合は、この第一導電膜 7 を第二領域 2 と第四領域 4 のうち低電位側の領域に接続し、n 形の場合は高電位側の領域に接続するとよい。こうすれば、第一導電膜 7 をゲートとする寄生のMOSFET がオンし難くなるからである。

【0067】図 3 は第 3 実施例を示す要部構造図で、同図 (a) はゲート駆動回路ユニットを 1 チップ化したときの平面図、同図 (b) はその断面図、同図 (c) はゲート駆動回路ユニット (1 チップ化されている) とパワーデバイス (例えば IGBT とダイオード) とがヒートシンク上に形成された断面図である。同図 (a) 、

(b) 、 (c) は請求項 9 および 10 に対応する実施例である。ここでは前記説明とは導電形を逆にし、第一導電形を n 形、第二導電形を p 形とした。

【0068】同図 (a) において、n 形の第一領域 1 上に高耐圧接合終端構造 HVJT に囲まれて p 形の第二領域 2 が設けられている。この図は図 2、3、6 のゲート駆動回路ユニットである GDU1 部分だけを 1 チップに集積化した高耐圧 IC (GDUIC1) の平面図を示す。同図 (b) において、n 形の第一領域 1 に形成された p 形の第二領域 2 および n 形の第三領域 3 に、n チャネル MOSFET (nchMOSFET) と p チャネル MOSFET (pchMOSFET) がそれぞれ形成されている。この第二領域 2 および第三領域 3 にも当然多くの種類のデバイスが集積化できる。この高耐圧 IC (GDUIC1) の裏面には、例えば Ti / Ni / Au の三層の金属膜からなる第二金属膜 18 が設けられ、はんだで金属板と固着できるようにしてある。

【0069】同図 (c) において、高耐圧 IC (GDUIC1) が n チャネル形の縦型パワーデバイス Q1 (IGBT など) およびダイオード D1 と共に図 3 および図 3 5 の V_{CCS} に接続されることになる金属板 33 上にはんだ接合で固着される。この場合、第一導電形が n 形であるので、この高耐圧 IC (GDUIC1) の裏面をパワーデバイスの裏面 (コレクタまたはドレイン) が固

着している金属板 33 に接着しても、第一領域 1 と第二領域 2 との間の第一の p n 接合 104 は常に逆バイアスとなり、第二領域 2 に形成された各種デバイスは第一領域 1 から電気的に絶縁され、動作上全く問題ない。尚、金属板 33 は例えばセラミックからなる絶縁板 34 を介して銅やアルミニウムからなるヒートシンク 35 上に設置されている。

【0070】図 4 は第 4 実施例の要部構造図を示し、同図 (a) は GDU1 の部分だけを 1 チップに集積化した高耐圧 IC である GDUIC1 の平面図、同図 (b) はその断面図、同図 (c) は GDUIC1 をパワーデバイス Q1 のエミッタ (もしくはソース) 電極上に固着した断面図である。同図 (a) 、 (b) 、 (c) は請求項 1 1 および 1 2 に対応する実施例である。同図 (a) は図 3 (a) と同じであるため説明は省略する。同図 (b) において、第一領域 1 および第三領域 3 は p 形、第二領域 2 は n 形である。また同図 (c) において、 GDUIC1 とパワーデバイス Q1 のエミッタ (もしくはソース) 電極との固着は例えばエポキシ系の接着剤が使用できる。またこの場合も第一導電形が p 形であれば p n 接合 104 は常に逆バイアスとなるので、前記で述べたように動作上全く問題ない。

【0071】図 5 は第 5 実施例の要部構造図を示し、同図 (a) は平面図、同図 (b) は断面図である。また同図 (a) 、 (b) は請求項 1 3 、 1 4 、 1 5 に対応する実施例を示す。同図 (a) において、高耐圧接合終端構造 HVJT で n チャネル形の縦型パワーデバイス Q1 (ここでは IGBT を示す) が囲まれ、さらに GDU1 がこのパワーデバイス Q1 で囲まれている。

【0072】同図 (b) において、Q1 の p 形のベース領域 36 に囲まれた第二領域 2 が n 形のドリフト領域 40 である第一領域 1 の表面層に形成されている。第二領域 2 と Q1 のベース領域 36 の間の第一領域 1 の表面にフィールド絶縁膜 14 を介して第一導電膜 7 が形成される。この第一導電膜 7 は Q1 のエミッタ電極と共に図 2 の第一導電膜 7 と同じ働きをする。Q1 は IGBT を示し、第一領域 1 の第二主面側に n' バッファ層 38 および p' 基板 39 があり、 p' 基板 39 表面上に第二金属膜 18 が形成され、周縁部はパッシベーション膜 19 (例えば 10000 Å のシリコン窒化膜) が被覆されている。

【0073】図 6 は第 6 実施例の要部平面図、図 7 は第 7 実施例の要部平面図を示す。これらの図は請求項 9 に対応する別の実施例である。図 3 の実施例では GDU1 のみの例を示したが、これらの図は図 3 4 および図 3 8 に示すものに対応した実施例で、図 6 は高耐圧接合終端構造 HVJT が GDU4 ~ GDU6 と CU および LSU を一括して取り囲んでいる実施例を示し、図 7 は高耐圧接合終端構造 HVJT が図 3 8 の各回路ユニットを一括して取り囲んでいる実施例を示す。図 7 は図 6 と比べ、

入力ライン S I N 1 、出力ライン S O U T 1 の各配線が横切る高耐圧接合終端構造 H V J T の数が少ないため、(図 6 は 3 個、図 7 は 2 個) 、耐圧低下が起こり難い。また各回路ユニットの説明は前記と同様のため省略する。

【 0074 】 図 8 以降において、図中の番号の () 内の番号は、図 1 ないし図 5 の実施例に対応する番号と同じ製造方法で、それらと同時に同一チップ上に形成され得るものであることを示している。また第一導電形を p 形、第二導電形を n 形とした場合で説明する。当然逆の導電形にしてもよい。図 8 は第 8 実施例でダイオードに用いた場合の高耐圧接合終端構造図を示し、同図 (a) は要部断面図、同図 (b) 、同図 (c) は平面図である。これらの図は請求項 23 ~ 27 に対応する実施例である。

【 0075 】 同図 (a) において、第一領域 1 はホウ素をドープした半導体基板で濃度は $10^{13} \sim 10^{15} \text{ cm}^{-3}$ 程度である。この濃度は必要とする耐圧により異なる。第八領域 8 は、第一領域 1 の表面からの選択的なリンのイオン注入 (ドーズ量 : $3 \times 10^{12} \sim 1 \times 10^{13} \text{ cm}^{-2}$ 程度) と 1150°C 、 $3 \sim 10$ 時間程度の熱拡散により形成し、その拡散深さは $3 \sim 8 \mu\text{m}$ 程度である。第九領域 9 は、第八領域 8 の表面からの選択的なホウ素のイオン注入 (ドーズ量 : $1 \times 10^{12} \sim 1.5 \times 10^{13} \text{ cm}^{-2}$ 程度) と 1150°C 、 $1 \sim 5$ 時間程度の熱拡散により形成し、その拡散深さは $1.5 \sim 5 \mu\text{m}$ 程度である。n 形の高濃度領域 4 5 は、カソード電極 K と第八領域 8 の電気的接続を良好にするために設けた領域で、例えば選択的なリンのイオン注入 (ドーズ量 : $1 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-2}$ 程度) と $1000 \sim 1100^\circ\text{C}$ 程度の熱処理により第五領域 (図 1 参照のこと) と同時に形成される。p 形の高濃度領域 4 6 は、アノード電極 A と第九領域 9 の電気的接続を良好にするために設けた領域で、例えば選択的なホウ素のイオン注入 ($1 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-2}$ 程度) と $1000 \sim 1100^\circ\text{C}$ 程度の熱処理により第六領域 6 (図 1 参照のこと) と同時に形成される。フィールド絶縁膜 1 4 および第九領域 9 上の絶縁膜 4 1 は熱酸化膜で、膜厚は $5000 \sim 10000 \text{ \AA}$ 程度である。カソード電極 K とアノード電極 A は例えば A 1 - 1% Si からなる第一金属膜 1 7 からなり、膜厚は $5000 \sim 10000 \text{ \AA}$ 程度である。パッシベーション膜 1 9 は、例えばアモルファスシリコン膜やシリコンリッチの Si N 膜 (窒化膜) で膜厚は $5000 \sim 15000 \text{ \AA}$ 程度である。この場合、抵抗性フィールドプレートとして用いるために、高抵抗膜 4 4 として第九領域 9 上の絶縁膜 4 1 上にカソード電極 K と共に第二導電膜 4 2 とアノード電極 A と共に第三導電膜 4 3 の双方に接触して設けられている。高抵抗膜 4 4 の抵抗率はシート抵抗で $10^{13} \sim 10^{14} \Omega/\square$ 程度である。第二導電膜 4 2 および第三導電膜 4 3 は、フィールドプレートとして第

九領域 9 の上の絶縁膜 4 1 上へ延在している。第九領域下の第一領域 1 と第九領域とに挟まれた第八領域部分 1 1 6 の正味のドーピング量は $1 \times 10^{11} \text{ cm}^{-2}$ 以上、 $4 \times 10^{12} \text{ cm}^{-2}$ 以下となるように設定されており、第九領域 9 の正味のドーピング量は $1 \times 10^{11} \text{ cm}^{-2}$ 以上、 $2 \times 10^{12} \text{ cm}^{-2}$ 以下となるように設定されている。これにより、第一領域 1 と第八領域 8 の間の第二の p n 接合 1 1 1 と第八領域 8 と第九領域 9 の間の第三の p n 接合 1 1 2 がともに逆バイアスされたときに、第二の p n 接合 1 1 1 の両側に拡がる第二の空乏層 1 1 3 と第三の p n 接合 1 1 2 の両側に拡がる第三の空乏層 1 1 4 とは第八領域 8 内で結合し、また第三の空乏層 1 1 4 は第九領域 9 の表面 1 1 5 まで達している。つまり、この高耐圧接合終端構造 H V J T のアノード電極 A とカソード電極 K とに平面上で挟まれた第八領域 8 および第九領域 9 には、第一領域 1 まで達する空乏層 (結合した第二の空乏層 1 1 3 と第三の空乏層 1 1 4) が水平方向にも垂直方向にも拡がり、その結果高い耐圧が得られる。垂直方向に拡がるのは第一領域 1 が低濃度であるためである。第二導電膜 4 2 は、第二導電形の高濃度領域 4 5 近辺での電界集中を防ぐために、第三導電膜 4 3 は、p 形の高濃度領域 4 6 近辺での電界集中を防ぐために有効である。高抵抗膜 4 4 は、第二導電膜 4 2 と第三導電膜 4 3 の間を高抵抗膜 4 4 を介して流れる電流が。高抵抗膜 4 4 に沿って生ずる水平方向の滑らかな電位分布を第九領域 9 上の絶縁膜 4 1 の容量を介して絶縁膜下の半導体領域内へ静電的に作用させ、半導体領域の空乏層中の電位分布を水平方向に滑らかに安定化させて、より一層小さい高耐圧接合終端構造の水平距離で高耐圧を得るために効果的である。

【 0076 】 同図 (b) は、同図 (a) の高耐圧接合終端構造の平面的な配置図を示し、同図 (a) に一点鎖線で示した中心線を軸に同心円上の配置で、アノード電極 A とカソード電極 K に挟まれた高耐圧接合終端構造 H V J T が円形のループで帶状に設けられている。この配置は小さい活性面積のデバイスに適する。同図 (c) も、同図 (a) の高耐圧接合終端構造 H V J T の平均的な配置の例であり、この場合大きい活性面積のデバイスに適するように櫛歯状に配置されたアノード電極 A とカソード電極 K に挟まれた高耐圧接合終端構造 H V J T が、櫛歯の間をねって曲がりくねった形のループで、帶状に設けられている。

【 0077 】 尚、請求項 4 0 や請求項 4 3 などで記載されているループ状とは、帶状で、かつ円形や櫛歯形などの形状をした環状のものをいう。図 9 は第 9 実施例の要部断面構造を示す。これは請求項 23 ~ 25 に対応する別の実施例であり、従来から高耐圧 I C に用いられている接合分離の構造に本発明を適用したものである。図 8 (a) との違いは、第八領域 8 が第一領域 1 上へのエピタキシャル成長により形成された層であり、したがつ

て、この第八領域8を他の部分から電気的に分離するための高濃度のp形の分離領域47を設けている点である。その他の部分は図8(a)と全く同じであり同じ番号を付けている。エピタキシャル成長により形成された第八領域8は厚さが $5 \sim 15 \mu\text{m}$ 程度でリンが 1×10^{15} から $1 \times 10^{16} \text{ cm}^{-3}$ 程度ドープされている。分離領域47は、第八領域8のエピタキシャル成長後第九領域9の形成前に、例えばドーズ量が $1 \times 10^{15} \text{ cm}^{-2}$ のホウ素の選択的なイオン注入と 1200°C 、2~10時間程度の熱拡散により形成する。請求項4、5を適用しない本実施例の場合、第八領域8のエピタキシャル成長による形成と分離領域47の形成に関する分、図8の実施例よりコストは高くなり、また分離領域47の形成のために、高温の熱処理が必要となり、この高温の熱処理で発生するシリコン結晶内の欠陥による良品率の低下も多少招くが、接合分離という従来技術の上にそのまま適用できるという便利さがある。同図の平面的な配置は図8(b)、(c)と同様である。

【0078】図10は第10実施例の要部断面図を示す。これは主に請求項28の実施例であるが、請求項23~27の実施例でもある。第一領域8、第九領域9、フィールド絶縁膜14、第九領域9上の絶縁膜41(14)、第二導電膜42および第三導電膜43、パッシベーション膜19、および高抵抗膜44(19)は図8の実施例と同じである。本実施例が違う点は、高耐圧接合終端構造HVTを挟んで、一方の側にn形の高濃度領域50(12)を介して第八領域8と電気的に接続された第一のドレイン電極D1(この場合、第二の導電体42と共に)を備え、他方の側に第九領域9と電気的につながったp形のベース領域48と、このベース領域48中に選択的に設けられた高濃度のn形のソース領域49と、第八領域8とソース領域49とに挟まれたベース領域48表面のnチャネル領域52と、少なくともチャネル領域上に設けられた第一のゲート絶縁膜51および第三のゲート電極G1と、少なくとも前記n形のソース領域49に電気的に接続された第一のソース電極S1(この場合第三導電膜43と共に)とを備えたn形チャネル(この場合nチャネル)の高耐圧MISトランジスタ(この場合MOSFET)であることと、第三のゲート電極G1と第一のソース電極S1との間の電気的な絶縁を行うための層間絶縁膜16を備え、これがさらに第九領域9上の絶縁膜41(16)としても用いられる点である。同図の平面的配置も、図中的一点鎖線のいずれかを中心とした図14(b)のような同心円状の配置や、図中の一点鎖線での折り返しによる同図(c)のような櫛歯状の配置など、いろいろな配置が可能である。

【0079】図11は、第11実施例の要部断面図を示す。これは主に請求項29の実施例であるが、請求項23~27の実施例でもある。第一領域8、第九領域9、フィールド絶縁膜14、第九領域9上の絶縁膜41(1

4)、第二および第三の導電体42および43、パッシベーション膜19、および高抵抗膜44(19)は図8の実施例と同じである。本実施例が違う点は、高耐圧接合終端構造HVTを挟んで、一方の側に第八領域8表面上に選択的に形成されたp形のソース領域56(11)と、第九領域9とp形のソース領域56(11)とに挟まれた第八領域8表面のp形チャネル領域54と、少なくともp形チャネル領域54上に形成された第二のゲート絶縁膜53(13)およびこのゲート絶縁膜53(13)上の第四のゲート電極G2と、少なくとも前記p形のソース領域56(11)と電気的に接続された第二のソース電極S2とを備え、他方の側に第九領域9とp形の高濃度領域55(11)を介して電気的に接続した第二のドレイン電極D2とを備えている。

【0080】図12は第12実施例の要部断面図を示す。これは主に請求項30および31の実施例であるが、請求項23~27の実施例でもある。高耐圧接合終端構造HVTに囲まれ、n形の第八領域8とn形の第二領域2とを同一拡散工程で同時に形成し、第二領域2の表面層に選択的に形成されたp形の第三領域3と、第二領域2の表面層に形成されたp形チャネルのMISトランジスタと、第三領域3の表面層に形成されたn形チャネルのMISトランジスタとを形成する。また第二領域2と第八領域8を連結して一体の領域を形成してもよい。これ以降の図の説明で第八領域の番号を8(2)としたのは第二領域と同一工程で第八領域を形成し得ることを示している。また同図の平面的な配置は、図6のGDU1がその例となります。

【0081】また請求項32~39に対応する実施例は請求項1~22に対応する実施例に請求項23~31に対応する実施例を付加したものであり、具体的な図面による説明は省略する。これ以降の実施例は請求項40~49に対応する。図13は第13実施例の要部平面図を示す。図38の従来例との相違点は第一の出力配線61と第二の出力配線62下の電界強度を弱めるために、GDU1を取り囲む第一の高耐圧接合終端構造HVT1と、GDU1内およびLSU内に形成される横型MOSFETを取り囲む第二の高耐圧接合終端構造HVT2とが同一構造の高耐圧接合終端構造HVTで構成され、かつ一体となっている点である。このように構成することで、第一の出力配線61および第二の出力配線62と、これらの出力配線の下の高耐圧接合終端構造HVTの電位差を他の高耐圧接合終端構造HVTより小さくできる。そのため、これらの出力配線61、62の電位が高耐圧接合終端構造部の半導体表面の電位分布に及ぼす影響を軽減し、耐圧低下を防止できる。図中の符号は図38と同一であるので、その説明は省略する。第一の出力配線61、第二の出力配線62は図38のS1N1とSOUT1に対応する。S1、S2は第一、第二のソース電極を示し、D1、D2は第一、第二のドレイ

ン電極を示す。

【0082】図14は電位差の強弱を図13の平面図に示した図である。出力配線61、62付近では電位差が小さく、その他の箇所では大きい。図15は第14実施例の要部断面図で、図13のA-A線切断部の要部断面図と電位分布図を示し、同図(a)は要部断面図、同図(b)は電位分布図である。

【0083】図16は第14実施例の要部断面図で、図13のB-B線切断部の要部断面図と電位分布図を示し、同図(a)は要部断面図、同図(b)は電位分布図である。図17は第14実施例の要部断面図で、図13のC-C線切断部の要部断面図と電位分布図を示し、同図(a)は要部断面図、同図(b)は電位分布図である。

【0084】図15ないし図17において、図13で示す高耐圧接合終端構造HVJTがGDU1用と高耐圧nチャネルMOSFET(HVN)用と高耐圧pチャネルMOSFET(HVP)用とがそれぞれ共用の一体構造とすることで、高耐圧nおよびpチャネルMOSFET(高耐圧MISトランジスタの一つ)のドレイン電極D1、D2のまわりの高耐圧接合終端構造HVJTのうち、ソース電極S1、S2のある側に面している高耐圧接合終端構造HVJT部分には約400V程度(図15ではD1の左側、図16ではD2の右側)の高い電圧が印加されるのに対し、反対側に面している高耐圧接合終端構造HVJT部分には15V程度の微小な電圧(図15ではD1の右側、図16ではD2の左側、つまり第一、第二の出力配線61、62のある側)が印加される丈である。この僅かな電位差しかしない高耐圧接合終端構造HVJTを横切らせて、第一、第二の出力配線61、62を配置することで、半導体領域の電位分布に殆ど影響を与えることなく配線することができる。したがって耐圧低下を生じさせずに配線できる。

【0085】図18ないし図20は第15実施例の要部断面図を示し、図13のA-A線、B-B線、C-C線の各切断部に相当する要部断面図を示す。これは第15実施例の変形例である。図18ないし図20と図15ないし図17との違いは高電圧に曝される側の半導体領域にn形の高濃度領域58を第一領域1と第二領域8(又は2)に跨がって埋め込み、さらにソース電極S1側である低電位側にp形の高濃度領域47を第一領域1に接するように形成することでさらに前記の効果を高めている。

【0086】図21～32は請求項50～52に対応する実施例である。図21は第16実施例の要部平面図を示す。図13との違いは高耐圧接合終端構造HVJTの平面的な配置のされ方であり、この実施例では第一、第二の出力配線61、62の近傍において、高耐圧接合終端構造HVJTを設けていない点である。これは図13～図17において説明したように、この領域には大きな

電位差が発生しないので、必ずしも高耐圧接合終端構造HVJTを設ける必要がない。

【0087】図22ないし図26は第16実施例の要部断面図と電位分布図を示す。図22は図21のA-A線切断部の要部断面図と電位分布図を示し、同図(a)は要部断面図、同図(b)は電位分布図である。図15との違いは、第一の出力配線61下の第九領域9がこの場合なくしてあり、第八領域8のみが設けられていることがある。これは先に説明したように、この領域には大きな電位差が発生しないので高耐圧接合終端構造HVJTを設ける必要がないためである。

【0088】図23は図21のB-B線切断部の要部断面図と電位分布図を示し、同図(a)は要部断面図、同図(b)は電位分布図である。図16との違いは、第二の出力配線62下の第九領域9が設けられていないことであり、理由は図22の場合と同じである。図24は図21のC-C線切断部の要部断面図と電位分布図を示し、同図(a)は要部断面図、同図(b)は電位分布図である。これらは図17と同じであるので説明は省略する。

【0089】図25は図21のX-X線切断部の要部断面図と電位分布図を示し、同図(a)は要部断面図、同図(b)は電位分布図である。第一の出力配線61下には第九領域9が設けられていない。その理由は先に述べた通りで、この領域には大きな電位差が発生しないためである。図26は図21のY-Y線切断部の要部断面図と電位分布図を示し、同図(a)は要部断面図、同図(b)は電位分布図である。第二の出力配線62下には第九領域が設けられていない。その理由は先に述べた通りで、この領域には大きな電位差が発生しないためである。

【0090】図27ないし図31は第17実施例の要部断面図と電位分布図を示し、第16実施例の変形例である。図27は図21のA-A線切断部の要部断面図と電位分布図を示し、同図(a)は要部断面図、同図(b)は電位分布図である。図22との違いは、第一の出力配線61下の第九領域9および第八領域8の両方とも設けられていない部分があることである。この理由も先に述べたのと同じである。ただし、この実施例のように第八領域8、第九領域9の両領域がなく、第一領域1の表面が第一の出力配線61下にある場合には、後に示す図30で説明するような注意が必要である。

【0091】図28は図21のB-B線切断部の要部断面図と電位分布図を示し、同図(a)は要部断面図、同図(b)は電位分布図である。図23との違いは、第二の出力配線62下に第九領域9および第八領域の両領域とも設けられていないことであり、その理由は図27の場合と同じである。図29は図21のC-C線切断部の要部断面図と電位分布図を示し、同図(a)は要部断面図、同図(b)は電位分布図である。これらは図17と

同じであるので説明は省略する。

【0092】図30は図21のX-X線切断部の要部断面図と電位分布図を示し、同図(a)は要部断面図、同図(b)は電位分布図である。第一の出力配線61上には第九領域9および第八領域8の両領域とも設けられていない。その理由は先に述べた通りで、この領域には大きな電位差が発生しないためである。ただし、第八領域8に挟まれた第一領域1が半導体基板の表面に達する部分は電位的に安定にするため、第一の出力配線61で完全に覆った方がよい。そうしない場合にはその部分で耐圧低下が生じる場合があるからである。

【0093】図31は図21のY-Y線切断部の要部断面図と電位分布図を示し、同図(a)は要部断面図、同図(b)は電位分布図である。第二の出力配線62下には第九領域および第八領域8の両領域とも設けられていない。その理由は先に述べた通りで、この領域には大きな電位差が発生しないためである。図32は第18実施例の要部平面図を示す。これは請求項50から52に対応する別の実施例である。

【0094】この場合は高耐圧接合終端構造HVJTは単なるループ状に設けられている。前記した図13や図21の場合は高耐圧接合終端構造HVJTは平面的配置で凸凹形状に設けられていた。その理由は高耐圧nチャネルトランジスタHVNのドレインD1とGDU1を形成する第二領域8(又は2)(例えば図15)との距離および高耐圧pチャネルトランジスタHVPのドレインD2とp形の高濃度領域57(例えば図19)との距離をそれぞれ大きくとることによって寄生的なもれ電流を小さくするためであった。

【0095】しかし図32の場合は、高耐圧接合終端構造HVJTが凸凹のない形状に設けられている。この場合は、図13や図21に比較して高耐圧接合終端構造の占める面積が小さくなるという利点がある。ただし、この場合は、前述した寄生的なもれ電流が大きくなり、高耐圧ICの無効な消費電力の増大につながるデメリットも大きい。600Vを越えるような高耐圧ICの場合は図21の実施例の方が適している。

【0096】

【発明の効果】この発明によれば、第一領域と第二領域の接合を逆バイアスし、第二領域の表面層に形成した第三領域に空乏層が達しないように第二領域を設けることで、第三領域内に設けた各種デバイスが、低成本で第一領域から電気的に絶縁分離することができる。この接合構造を採用することで、耐圧クラスの異なる回路ユニットでも同一の高耐圧接合終端構造でよく、低成本化できる。また、この接合構造で耐圧を確保するので、高耐圧接合終端構造部上に橋渡しする配線で耐圧低下が生じなくなる。またパワーデバイスを固着する金属板に温度検出部などを備える高耐圧ICを固着したり、パワーデバイス上にこの高耐圧ICを固着したり、また同一半

導体基板にパワーデバイスとこの高耐圧ICを集積することで高精度の温度検出ができる。以上のことから、低成本で高性能な高耐圧ICの実現が可能となる。

【図面の簡単な説明】

【図1】この発明の第1実施例の要部断面図

【図2】この発明の第2実施例を示す要部構造図で、(a)はGDU1と高耐圧接合終端構造HVJTに対応する部分の要部平面図で、(b)は(a)のX-Xで切断した要部断面図

10 【図3】この発明の第3実施例を示す要部構造図で、(a)はゲート駆動回路ユニットを1チップ化したときの平面図、(b)はその断面図、(c)はゲート駆動回路ユニットとパワーデバイスとがヒートシンク上に形成された断面図

【図4】この発明の第4実施例の要部構造図を示し、(a)はGDU1の部分だけを1チップに集積化した高耐圧ICであるGDUIC1の平面図、(b)はその断面図、(c)はGDUIC1をパワーデバイスQ1のエミッタ(もしくはソース)電極上に固着した断面図

20 【図5】この発明の第5実施例の要部構造図を示し、(a)は平面図、(b)は断面図

【図6】この発明の第6実施例の要部平面図

【図7】この発明の第7実施例の要部平面図

【図8】この発明の第8実施例でダイオードに用いた場合の高耐圧接合終端構造図を示し、(a)は要部断面図、(b)は平面図、(c)は別の平面図

【図9】この発明の第9実施例の要部断面構造

【図10】この発明の第10実施例の要部断面図

【図11】この発明の第11実施例の要部断面図

【図12】この発明の第12実施例の要部断面図

【図13】この発明の第13実施例の要部平面図

【図14】図13に電位差の強弱を示した図

30 【図15】この発明の第14実施例で図13のA-A線切断部の要部断面図と電位分布図を示し、(a)は要部断面図、(b)は電位分布図

【図16】この発明の第14実施例で図13のB-B線切断部の要部断面図と電位分布図を示し、(a)は要部断面図、(b)は電位分布図

40 【図17】この発明の第14実施例で図13のC-C線切断部に相当する要部断面図と電位分布図を示し、同図(a)は要部断面図、同図(b)は電位分布図

【図18】この発明の第15実施例で図13のA-A線切断部に相当する要部断面図

【図19】この発明の第15実施例で図13のB-B線切断部に相当する要部断面図

【図20】この発明の第15実施例で図13のC-C線切断部に相当する要部断面図

【図21】この発明の第16実施例の要部平面図

50 【図22】この発明の第16実施例で図21のA-A線切断部の要部断面図と電位分布図を示し、(a)は要部

断面図、(b)は電位分布図

【図23】この発明の第16実施例で図21のB-B線
切断部の要部断面図と電位分布図を示し、(a)は要部
断面図、(b)は電位分布図

【図24】この発明の第16実施例で図21のC-C線
切断部の要部断面図と電位分布図を示し、(a)は要部
断面図、(b)は電位分布図

【図25】この発明の第16実施例で図21のX-X線
切断部の要部断面図と電位分布図を示し、(a)は要部
断面図、(b)は電位分布図

【図26】この発明の第16実施例で図21のY-Y線
切断部の要部断面図と電位分布図を示し、(a)は要部
断面図、(b)は電位分布図

【図27】この発明の第17実施例で図21のA-A線
切断部に相当する要部断面図と電位分布図を示し、
(a)は要部断面図、(b)は電位分布図

【図28】この発明の第17実施例で図21のB-B線
切断部に相当する要部断面図と電位分布図を示し、
(a)は要部断面図、(b)は電位分布図

【図29】この発明の第17実施例で図21のC-C線
切断部に相当する要部断面図と電位分布図を示し、
(a)は要部断面図、(b)は電位分布図

【図30】この発明の第17実施例で図21のX-X線
切断部に相当する要部断面図と電位分布図を示し、
(a)は要部断面図、(b)は電位分布図

【図31】この発明の第17実施例で図21のY-Y線
切断部に相当する要部断面図と電位分布図を示し、
(a)は要部断面図、(b)は電位分布図

【図32】この発明の第18実施例の要部平面図

【図33】モータ制御用インバータのパワー部分を中心

に説明する回路構成図

【図34】図33で用いられる高耐圧ICの内部構成の
ブロック図

【図35】図34のGDU1とIGBTQ1のさらに詳
細な接続図

【図36】図33と同一回路をインテリジェントパワー
モジュールと呼ばれる製品を用いて構成した構成図

【図37】図36のIGBTQ1のまわりの回路を詳細
に示した構成図

【図38】図34に示した高耐圧ICのチップの平面図

【符号の説明】

1 第一領域

2 第二領域

3 第三領域

4 第四領域

5 第五領域

6 第六領域

7 第一導電膜

8 第八領域

9 第九領域

1 1 p形の高濃度領域

1 2 n形の高濃度領域

1 3 ゲート絶縁膜

1 4 フィールド絶縁膜

1 5 多結晶シリコン膜

1 6 層間絶縁膜

1 7 第一金属膜

1 8 第二金属膜

1 9 パッシベーション膜

10 3 1 ベース領域

3 2 エミッタ領域

3 3 金属板

3 4 絶縁板

3 5 ヒートシンク

3 6 ベース領域

3 7 ソース領域

3 8 n'バッファ層

3 9 p'基板

4 0 n形ドリフト領域

20 4 1 第九領域上の絶縁膜

4 2 第二導電膜

4 3 第三導電膜

4 4 高抵抗膜

4 5 n形の高濃度領域

4 6 p形の高濃度領域

4 7 p形の分離領域

4 8 ベース領域

4 9 n形のソース領域

5 0 n形の高濃度領域

30 5 1 第一のドレイン電極

5 2 n形のチャネル領域

5 3 第二のゲート絶縁膜

5 4 p形のチャネル領域

5 5 p形の高濃度領域

5 6 p形のソース領域

5 7 p形の高濃度領域

5 8 n形の埋め込み領域

6 1 第一の出力配線

6 2 第二の出力配線

40 1 0 1 空乏層

1 0 2 空乏層端

1 0 4 第一のpn接合

1 0 5 第四のpn接合

1 1 1 第二のpn接合

1 1 2 第三のpn接合

1 1 3 第二の空乏層

1 1 4 第三の空乏層

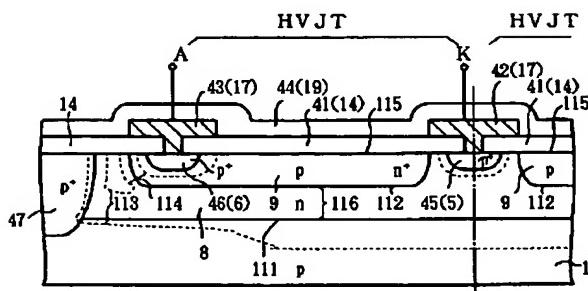
1 1 5 第九領域の表面

2 0 2 第二領域(LSU側)

50 2 0 5 第五領域(LSU側)

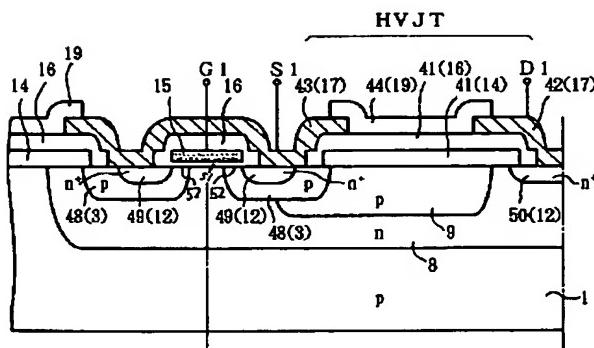
211 p形の高濃度領域
 HVIC 高耐圧 IC
 HVJT 高耐圧接合終端構造
 nchMOSFET nチャネルMOSFET
 pchMOSFET pチャネルMOSFET
 V_{DD} ドライブ電源
 S ソース端子
 S1 第一のソース電極（端子）
 S2 第二のソース電極（端子）
 D ドレイン端子
 D1 第一のドレイン電極（端子）
 D2 第二のドレイン電極（端子）
 G ゲート端子
 G1 第三のゲート電極（端子）
 G2 第四のゲート電極（端子）
 NPN n-p-nトランジスタ
 E エミッタ端子
 B ベース端子
 C コレクタ端子
 V_{EE1} 電源
 Q1 パワーデバイス（IGBT）
 Q2 パワーデバイス（IGBT）
 Q3 パワーデバイス（IGBT）
 Q4 パワーデバイス（IGBT）
 Q5 パワーデバイス（IGBT）
 Q6 パワーデバイス（IGBT）
 D1 パワーデバイス（ダイオード）
 D2 パワーデバイス（ダイオード）
 D3 パワーデバイス（ダイオード）
 D4 パワーデバイス（ダイオード）
 D5 パワーデバイス（ダイオード）
 D6 パワーデバイス（ダイオード）
 Mo モータ
 V_{cc} 主電源
 PC フォトカプラ

【図9】

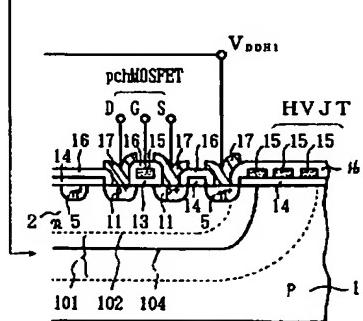
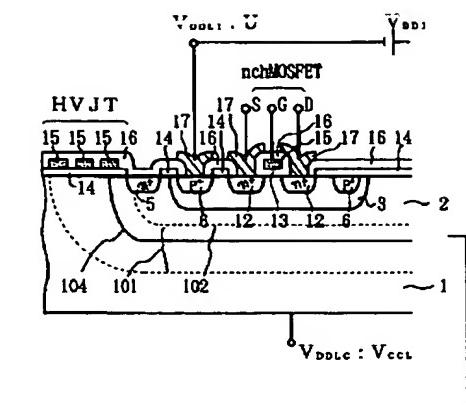


I/O 入出力端子
 CU 制御回路
 LSU レベルシフト回路
 GDU1 ゲート駆動回路
 GDU2 ゲート駆動回路
 GDU3 ゲート駆動回路
 GDU4 ゲート駆動回路
 GDU5 ゲート駆動回路
 GDU6 ゲート駆動回路
 10 SIN 入力ライン
 SOUT 出力ライン
 V_{DDC} 共通電源
 V_{DDHC} 共通電源の高電位側
 V_{DDLc} 共通電源の低電位側
 V_{DD} ドライブ電源
 V_{DDH1} ドライブ電源の高電位側
 V_{DDH2} ドライブ電源の高電位側
 V_{DDH3} ドライブ電源の高電位側
 V_{DDL1} ドライブ電源の低電位側
 20 V_{DDL2} ドライブ電源の低電位側
 V_{DDL3} ドライブ電源の低電位側
 OUT ゲート駆動端子
 OC 電流検出端子
 OT 温度検出端子
 M 電流検出端子（IGBT側）
 Temp 温度検出端子（温度検出素子側）
 θ 温度検出素子
 K カソード
 A アノード
 30 U U相
 HVN 高耐圧nチャネルMOSFET
 HVP 高耐圧pチャネルMOSFET
 D_n ドレイン電極
 D_p ドレイン電極

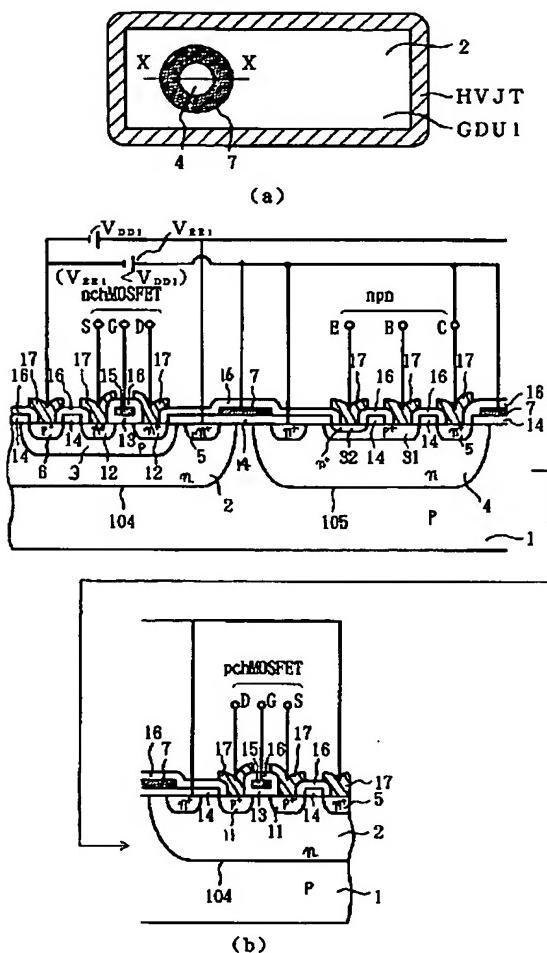
【図10】



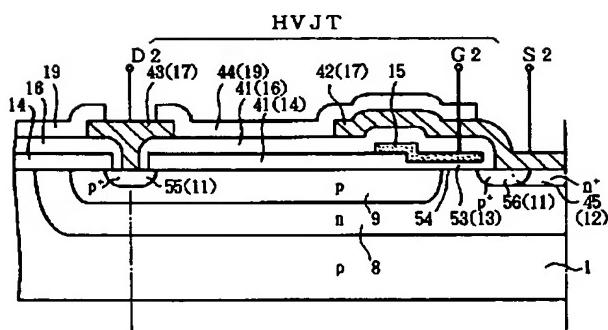
【図 1】



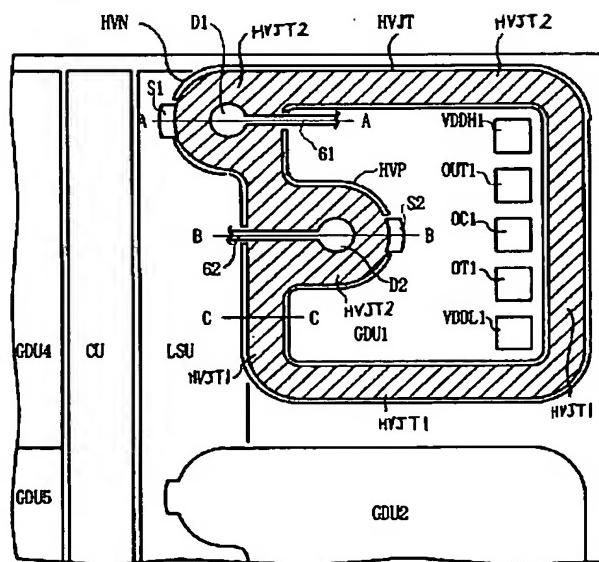
【図 2】



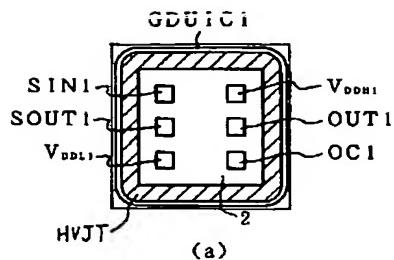
【図 1-1】



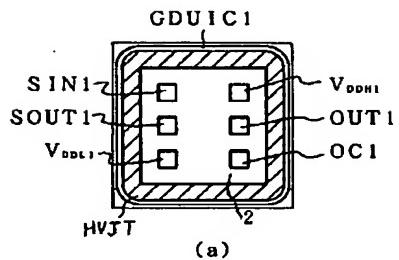
【図 1-3】



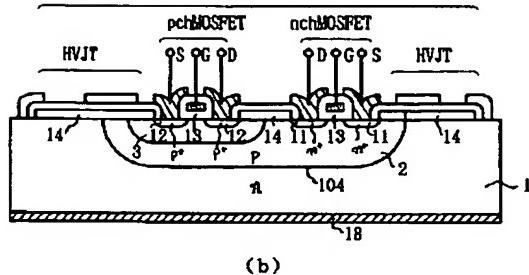
【図 3】



【図 4】

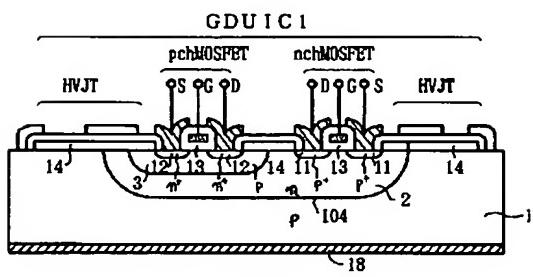


GDUIC1

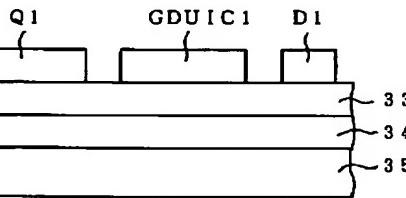


(b)

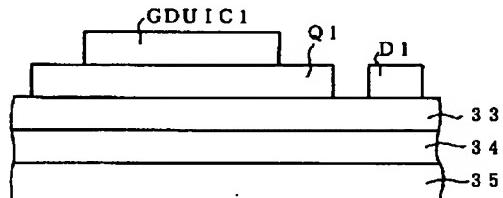
GDUIC1



(b)

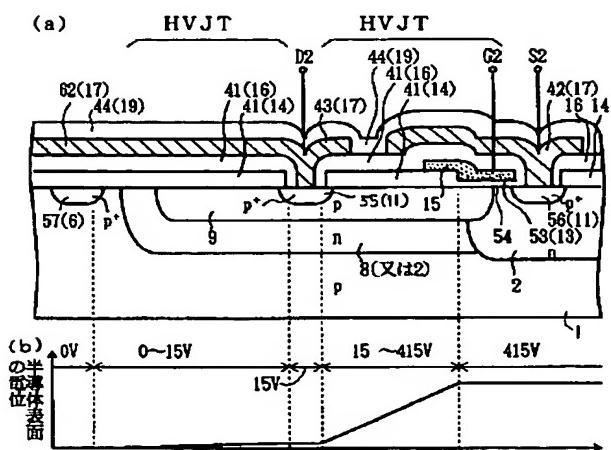


(c)

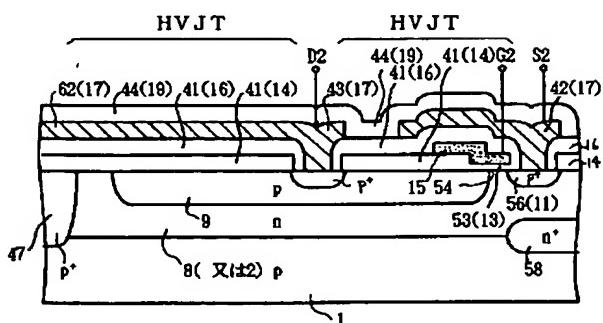


(c)

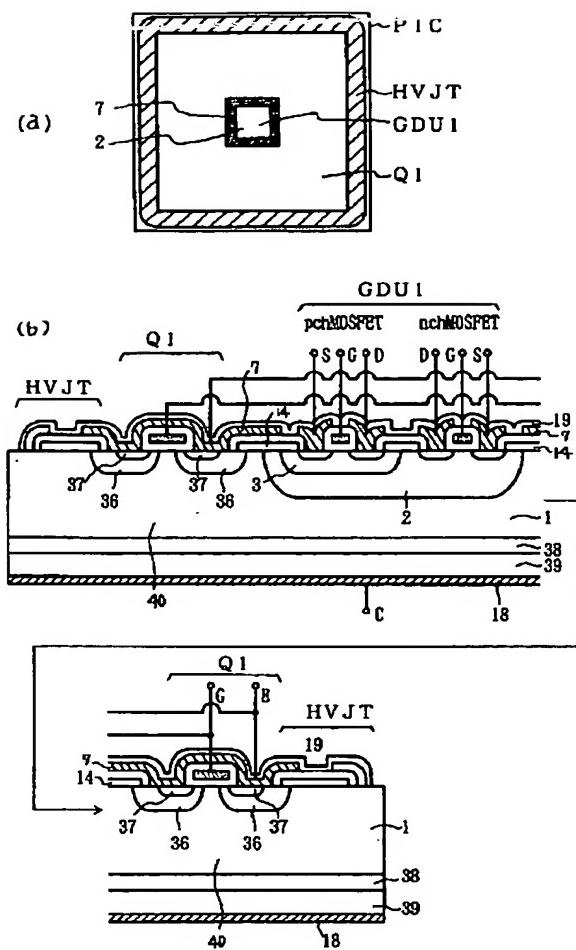
【図 16】



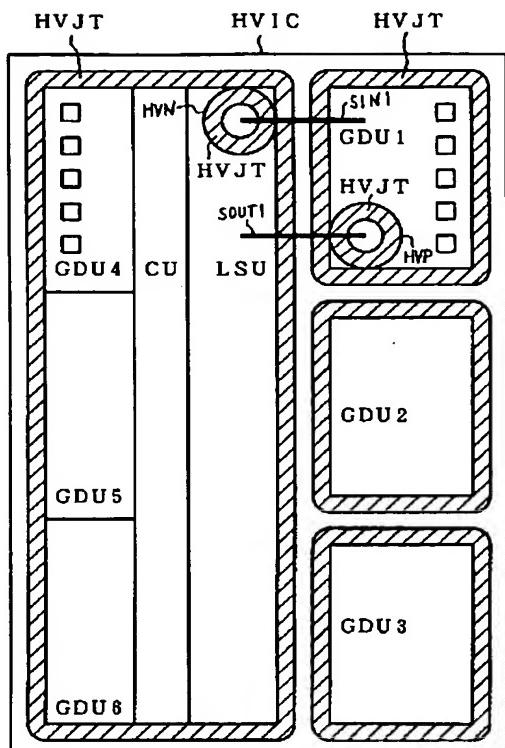
【図 19】



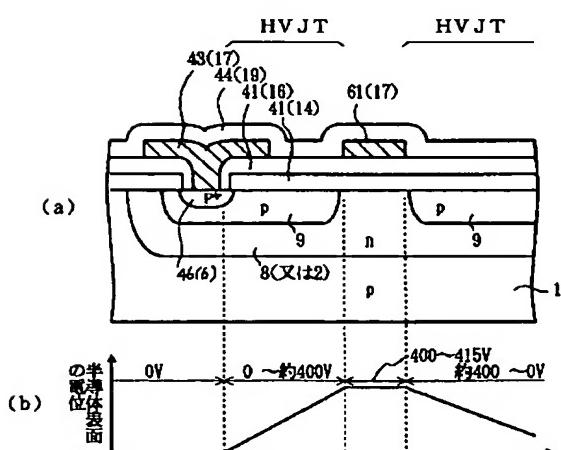
【図 5】



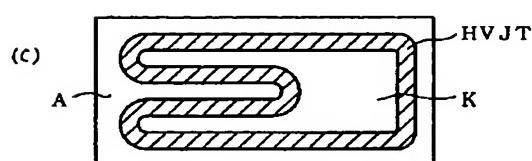
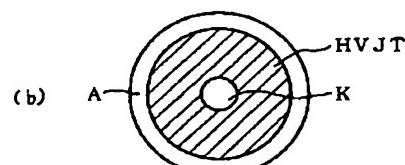
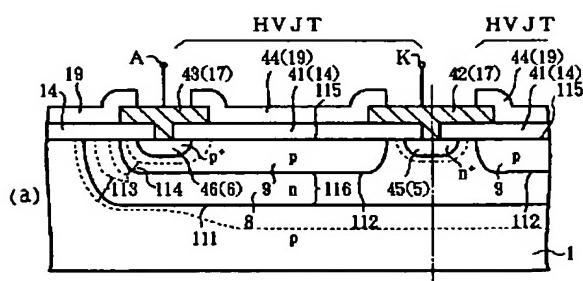
【図 6】



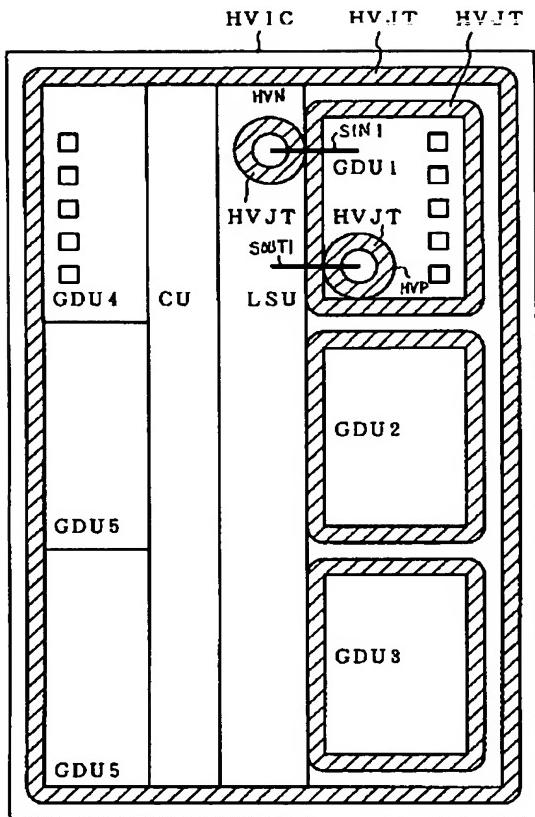
【図 25】



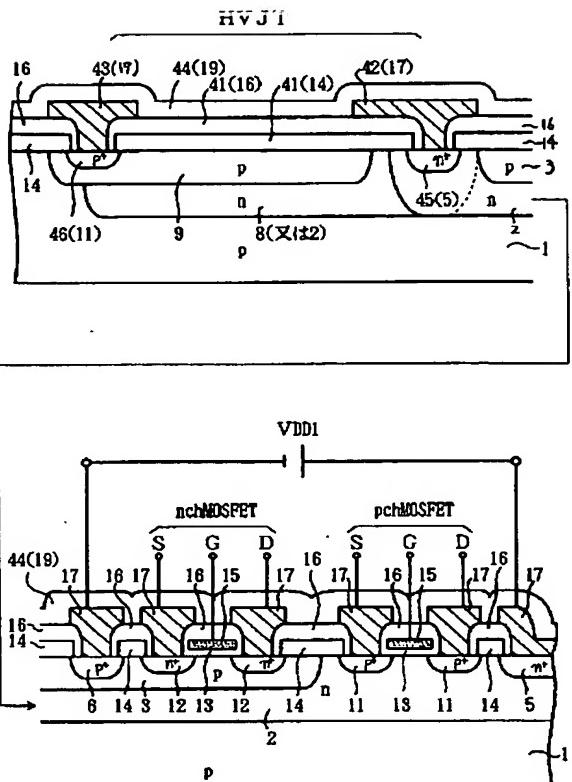
【図 8】



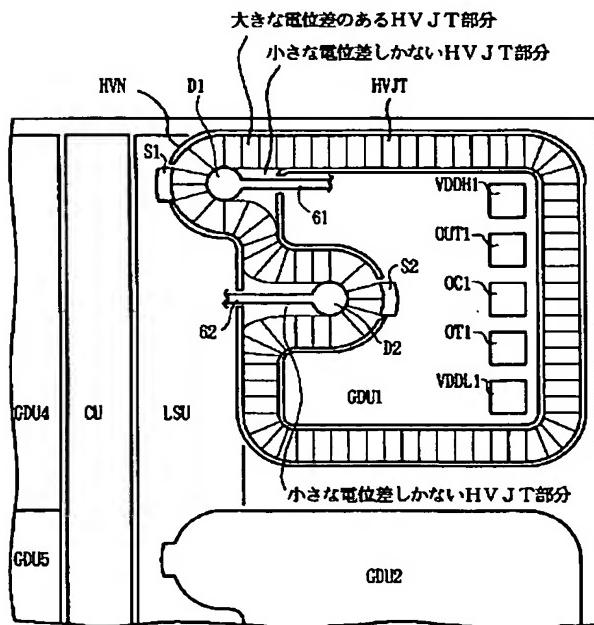
【図 7】



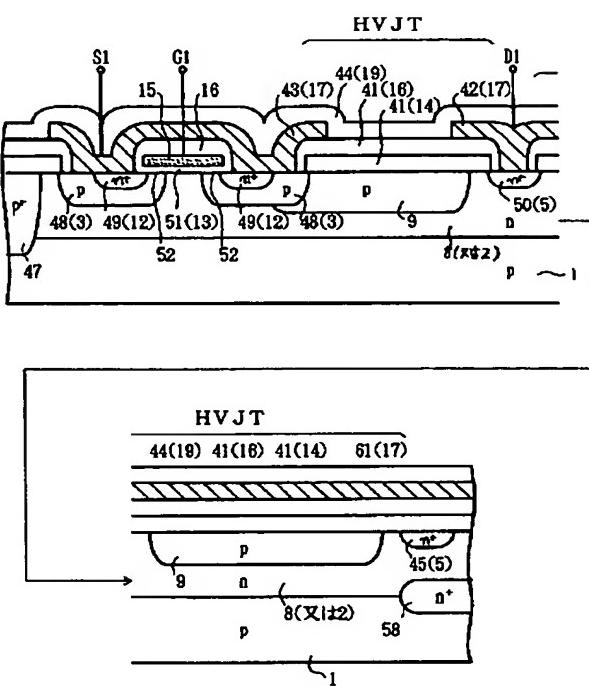
【図 12】



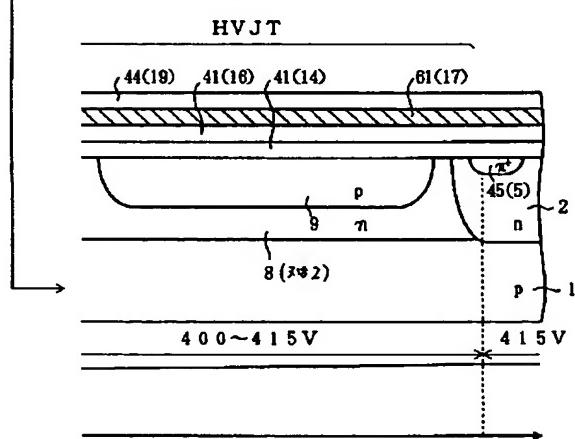
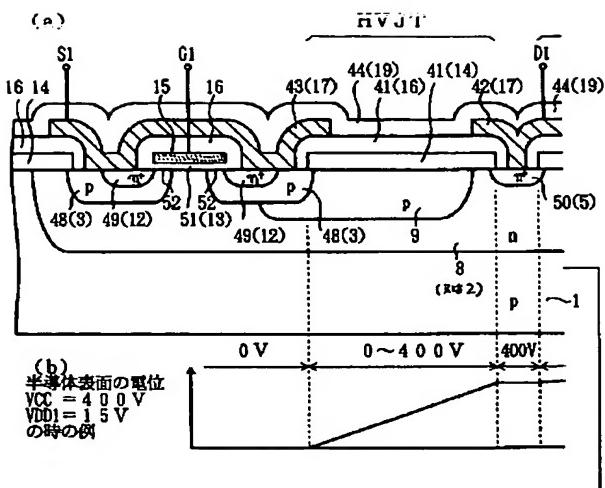
【図 14】



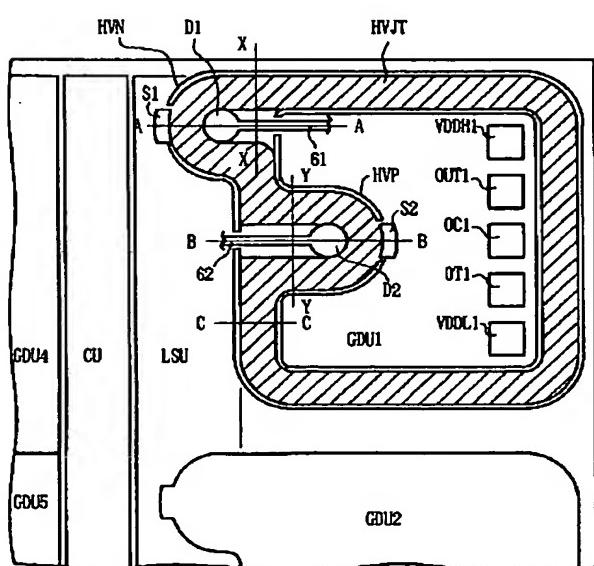
【図 18】



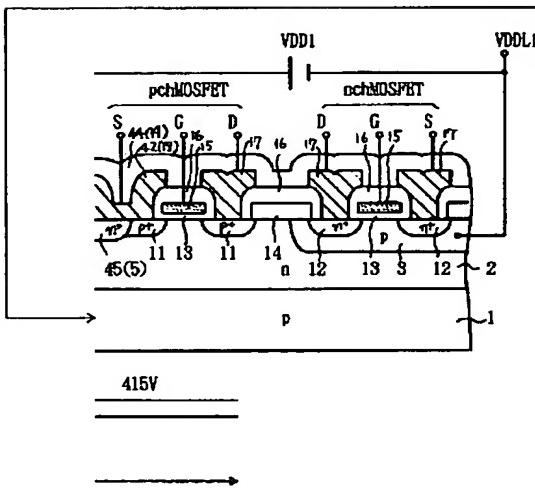
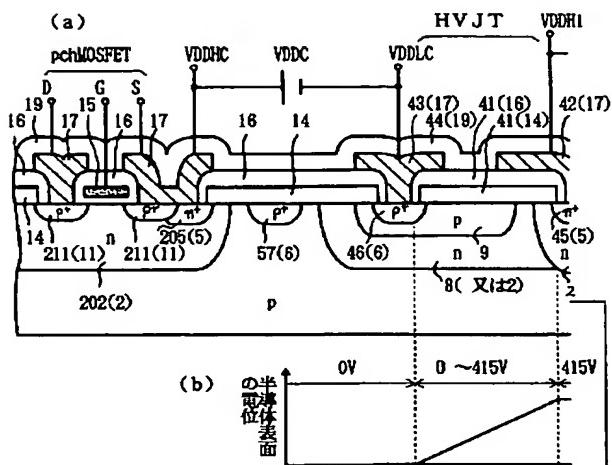
【図 15】



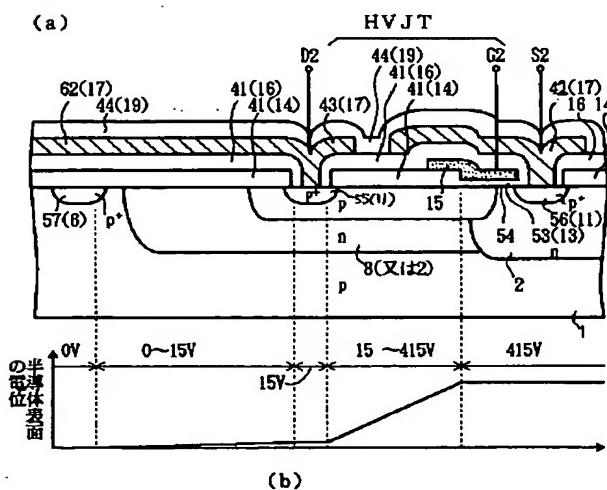
【図 21】



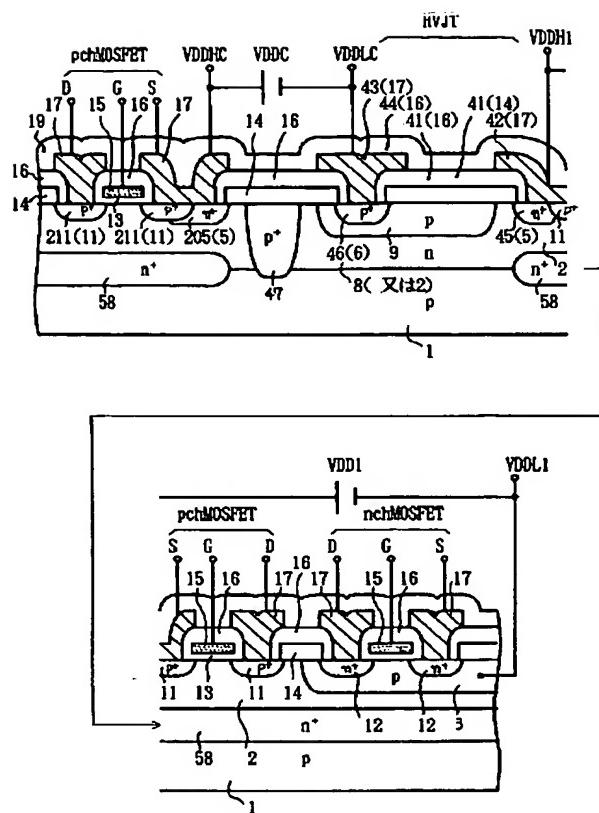
【図 17】



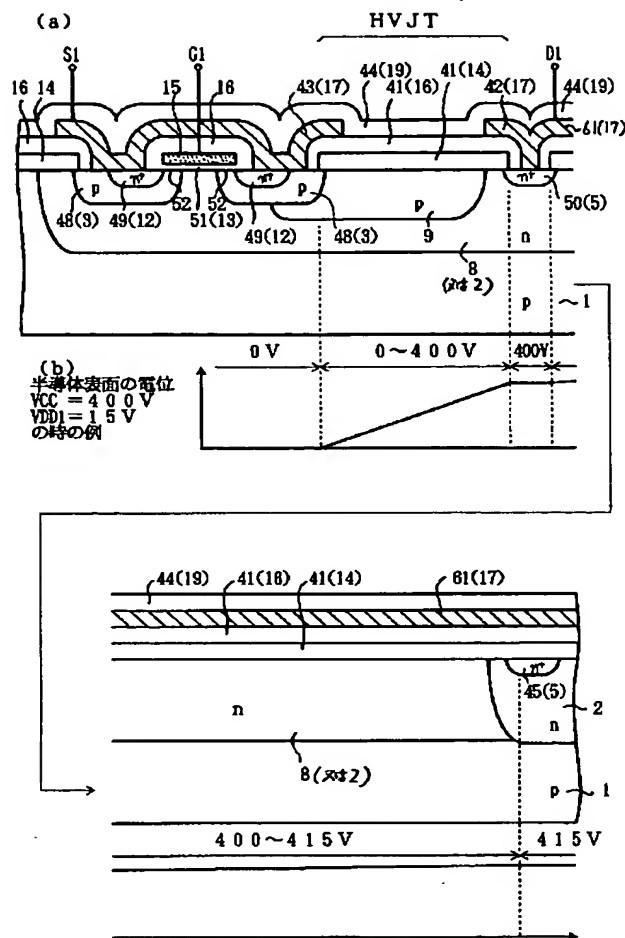
【図 23】



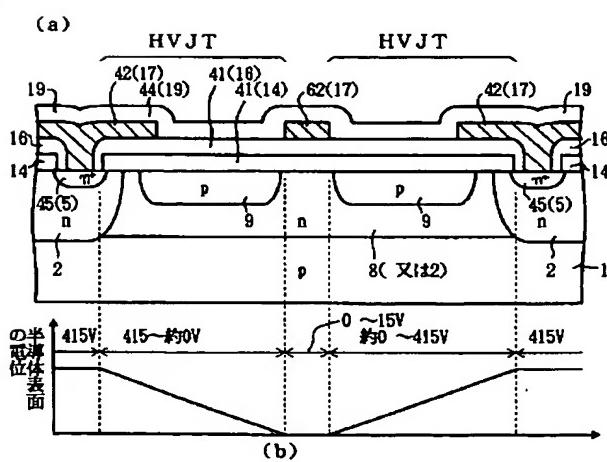
【図 20】



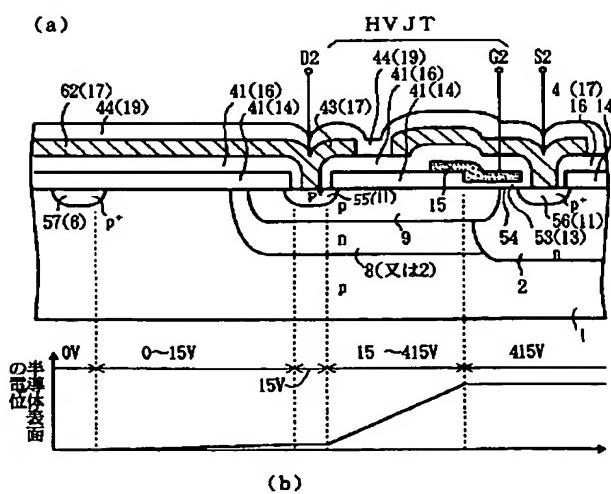
【図 22】



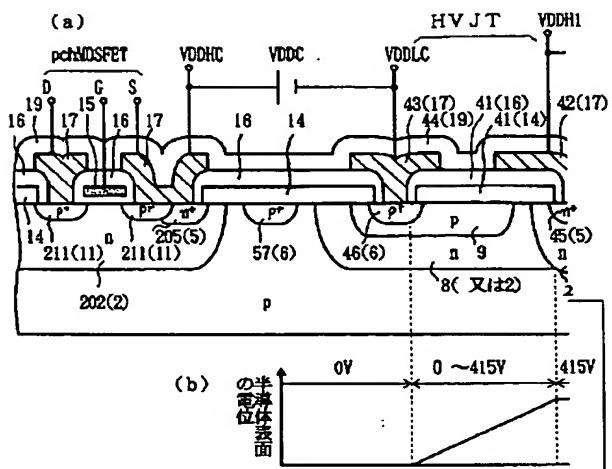
【図 26】



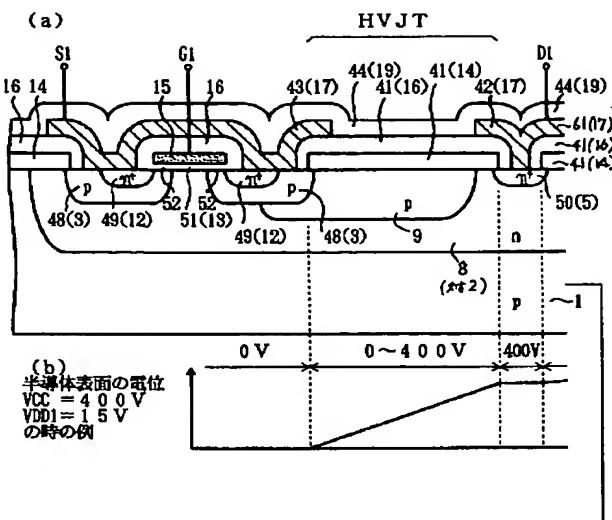
【図 28】



[图 24]

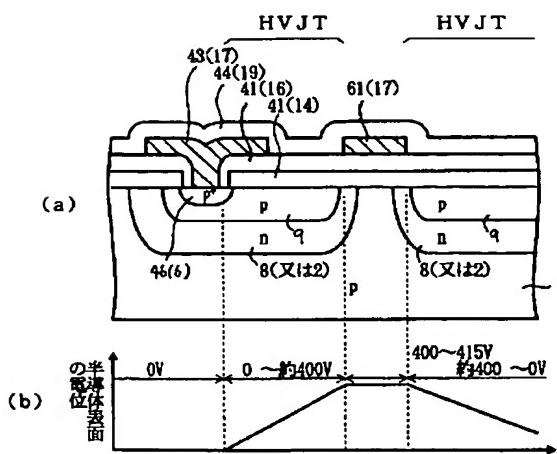


【図27】

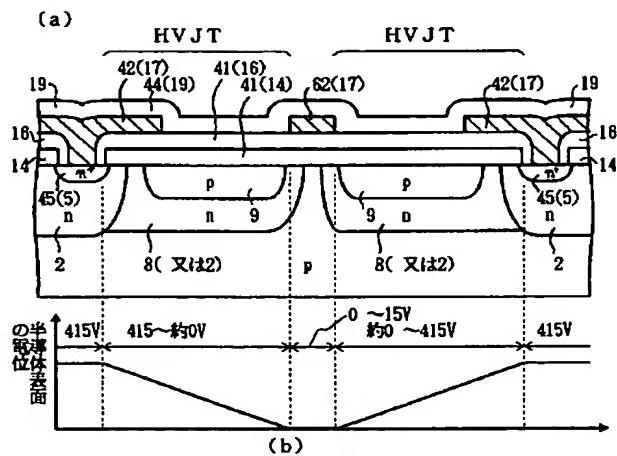


The diagram illustrates a cross-section of a CMOS inverter. It features two vertical MOSFET structures. The left structure is a p-channel MOSFET (pchMOSFET) with terminals labeled S (source), G (gate), D (drain), and PT (poly-titanium). The right structure is an n-channel MOSFET (nchMOSFET) with terminals labeled D, G, S, and PT. Below the transistors is a thick p-doped silicon substrate. A horizontal metal interconnect layer connects the drains of both transistors. The top contact of the pchMOSFET drain is labeled 44(19), 16, 15, 25(15), 15, 17, 16, 19, 16, 15, and PT. The bottom contact of the nchMOSFET drain is labeled 11, 13, 11, 14, a, 12, 13, 3, 12, and 2. The entire structure is labeled with a 'p' at the bottom center. At the very bottom, there is a label '415V'.

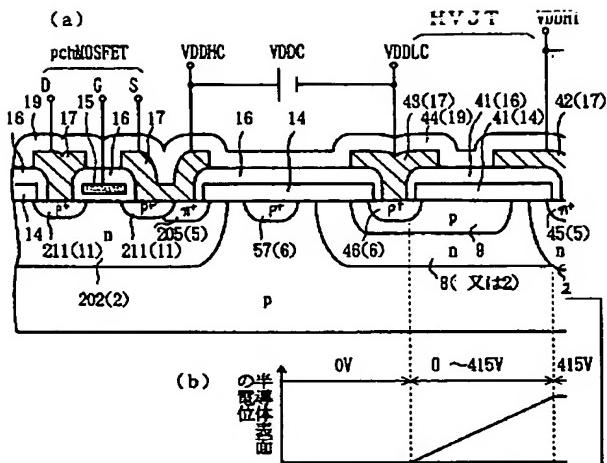
〔図30〕



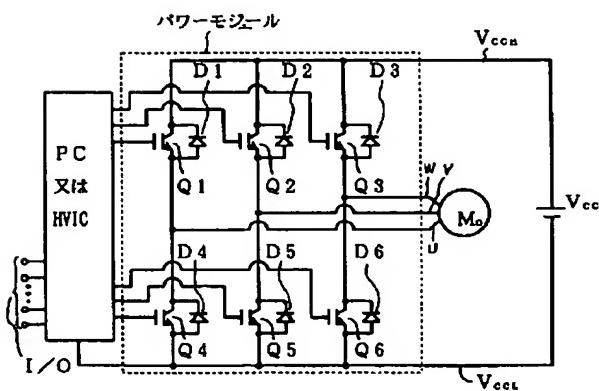
【图31】



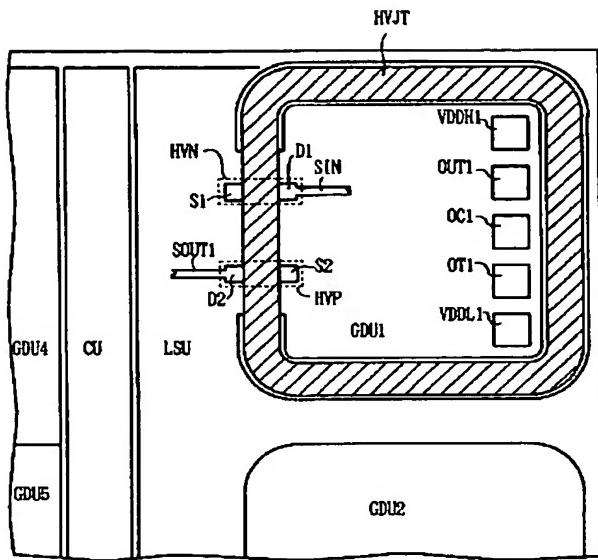
【图 29】



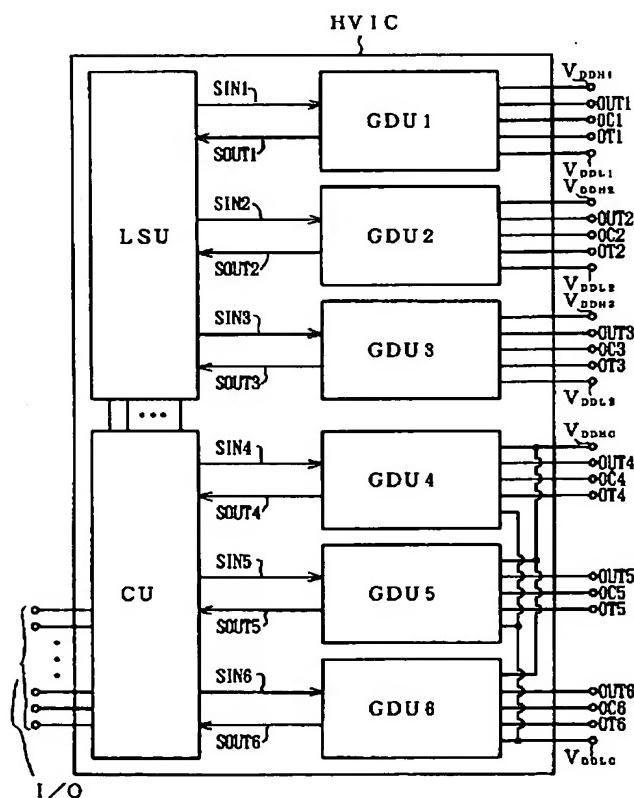
【图 3-3】



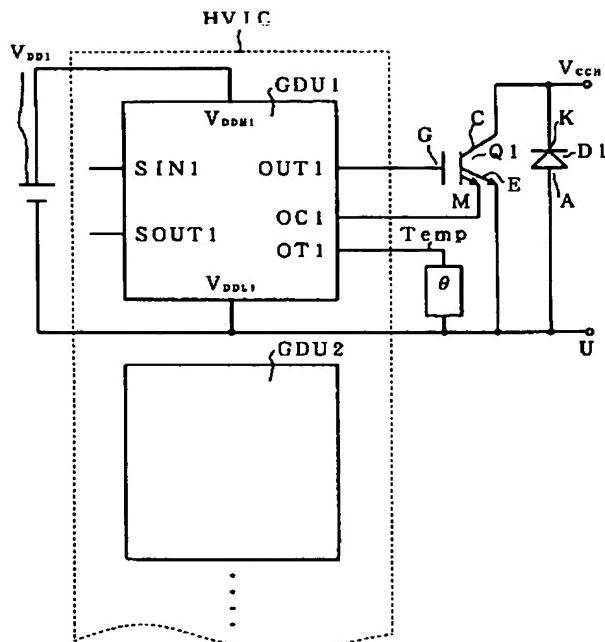
【図32】



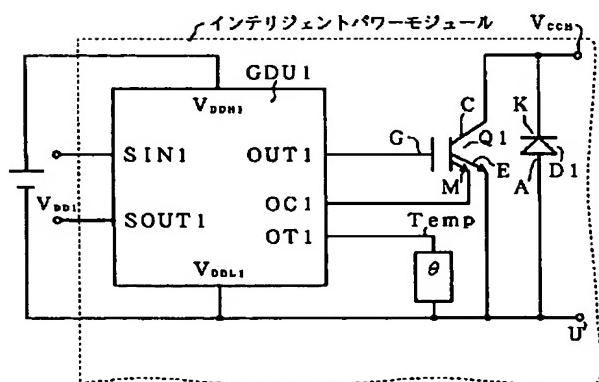
【図34】



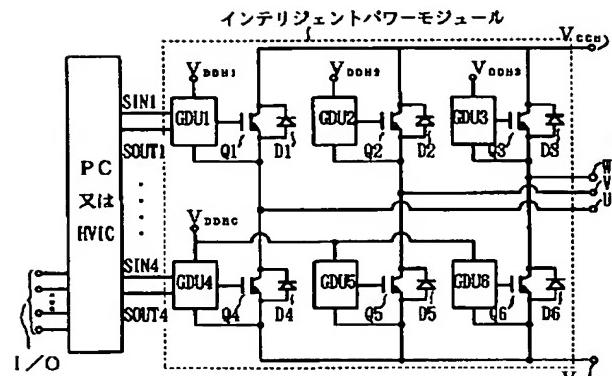
【図 3 5】



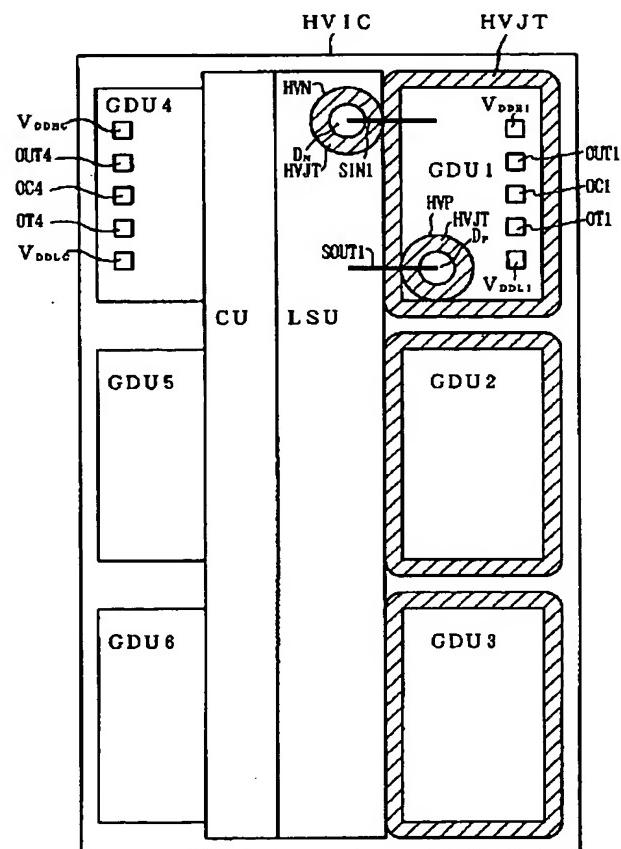
【図 3 7】



【図 3 6】



【図 3 8】



フロントページの続き

(72) 発明者 熊谷 直樹

神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内